

基于高性能 SOC FPGA 阵列的 NVM 验证架构设计与验证

刘珂 蔡晓军 张志勇 赵梦莹 贾智平
(山东大学计算机科学与技术学院 山东青岛 262000)
(sdu_liuke@outlook.com)

Design and Verification of NVM Control Architecture Based on High-Performance SOC FPGA Array

Liu Ke, Cai Xiaojun, Zhang Zhiyong, Zhao Mengying, and Jia Zhiping
(School of Computer Science and Technology, Shandong University, Qingdao, Shandong 262000)

Abstract Emerging non-volatile memory (NVM) technologies are getting mature with lower latency and higher bandwidth. In the future, these new technologies show the potentials that not only replace the DRAM as the main memory but also serve in the external memory storage. Meanwhile, designing an efficient memory system has become popular in both the academic world and the industrial world. In this paper, we describe a high-performance NVM verification architecture based on the array of SOC FPGAs. Within the architecture, multiple levels of FPGAs are employed to connect many NVMs. Based on the architecture, we propose a novel master-slave NVM controller and then design a hardware prototype accordingly. The experiment results running on this prototype show that the architecture can not only test the performance of the homogenous NVM groups, but also verify the management scheme of hybrid NVM arrays. Moreover, the high performance of MRAM shows that MRAM has the potential to serve in both cache and main memory.

Key words non-volatile memory (NVM); FPGA array; hybrid memory; memory controller; SOC FPGA

摘要 新型非易失性存储器(non-volatile memory, NVM)技术日渐成熟,延迟越来越低,带宽越来越高,未来将不仅有可能取代以动态随机存储器(dynamic random access memory, DRAM)为代表的易失型存储设备在主存中的垄断地位,还有可能取代传统 Flash 和机械硬盘作为外存服务未来的计算机系统.如何综合各类新型存储的特性,设计高能效的存储架构,实现可应对大数据、云计算所需求的新型主存系统已经成为工业界和学术界的研究热点.提出基于高性能 SOC FPGA 阵列的 NVM 验证架构,互联多级 FPGA,利用多层次 FPGA 结构扩展链接多片 NVM.依据所提出的验证架构,设计了基于多层次 FPGA 的主从式 NVM 控制器,并完成适用于该架构的硬件原型设计.该架构不仅可以实现测试同类型多片 NVM 协同工作,也可以进行混合 NVM 存储管理方案验证.

关键词 非易失存储器;FPGA 阵列;混合存储;NVM 存储控制器;片上系统 FPGA

中图法分类号 TP391

收稿日期:2017-09-18;修回日期:2017-11-09
基金项目:国家自然科学基金项目(61602274);国家自然科学基金重点项目(61533011);国家重点研发计划项目(2017YFB0902600)
This work was supported by the National Natural Science Foundation of China (61602274), the Key Program of the National Natural Science Foundation of China (61533011), and the National Key Research and Development Program of China (2017YFB0902600).
通信作者:贾智平(jzp@sdu.edu.cn)

非易失性存储器(non-volatile memory, NVM)具有诸多显著的优点:对外界环境有更强的容错性;比通常用于主存储器的动态随机存取存储器(dynamic random access memory, DRAM)更加可靠,且静态能量消耗比 DRAM 小若干数量级;能够带来更快的系统启动时间,并且集成密度比 DRAM 至少高 2 倍.如今,非易失性存储器已得到工业界包括 Intel, Numonyx, STMicroelectronics, Samsung, IBM 及 TDK 等著名公司的广泛支持.由于其优良特性及潜在的市场价值,计算机系统产业迫切希望非易失性存储器能够作为主存储器(main memory)大规模投入使用.近年来,一些使用了新型非易失性存储器(相变存储器(phase-change memory, PCM)、阻变存储器(resistive random-access memory, ReRAM)、磁阻存储器(magnetic random-access memory, MRAM))的固态存储器已经成为缩小处理器与存储器之间鸿沟的最为瞩目的新一代存储器件,如图 1 所示^[1]:

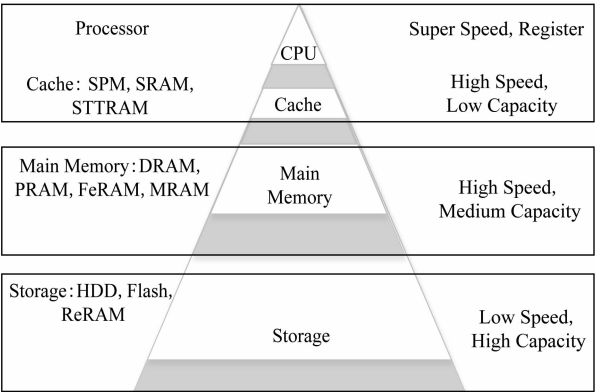


Fig. 1 Architecture of NVM
图 1 非易失存储应用层次

区别于传统的以块进行读写和擦除操作的 flash 工艺的非易失存储器,新型存储器采用字节型访问方式.新型存储器拥有高性能、低能耗和高容量的特性.传统存储系统的构建方式不仅不利于发挥非易失性存储器在性能方面的优势,还暴露了非易失性存储器在耐久性(使用寿命)、读写不对称等方面的劣势^[2].如何综合各类新型存储的特性,设计高能效的存储架构,实现可应对大数据、云计算所需求的新型主存系统已经成为工业界和学术界的研究热点.

关于 NVM 验证平台的研究已经有很多,但大多数都是针对芯片层面或者 NVM 底层特性的研究. NVsim^[3]是一种电路层次的 NVM 仿真工具,基于存储单元模型逐步构建存储芯片;支持在 NVM

芯片生产前实现性能、能耗以及面积等指标的估计. OpenNVM^[4]是一种基于 FPGA 的 NVM 验证平台,着眼于验证常见 NVM 的底层参数,包括读写寿命、最大读写速度以及一些新颖的编码方式等.也有基于存储系统架构级别的仿真工具 NVMain^[5].

本文提出的基于高性能 SOC FPGA 阵列的 NVM 验证架构,互联多级 FPGA,利用多层次 FPGA 结构扩展连接多片 NVM.依据所提出的验证架构,设计了基于多层次 FPGA 的主从式 NVM 控制器,并完成适用于该架构的硬件原型设计.该架构可以实现测试同类型多片 NVM 协同工作,也可以进行混合 NVM 存储管理方案验证.

本文的主要贡献如下:

- 1) 提出了基于多层 FPGA 阵列的非易失存储器架构,实现高带宽和大容量的同时,也具备良好的扩展性;
- 2) 搭建了多层 FPGA 阵列的非易失存储器验证平台,并基于 MRAM 存储器完成多层非易失 FPGA 阵列的存储器架构原型验证;
- 3) 设计了高速大容量 MRAM 验证实验,通过实验数据显示,我们所设计的实验原型的读写带宽达到 1.5 GBps 以上,平均功耗约 1.8 W. 通过对比示波器测试结果和 SOC FPGA 输出结果,验证所提出的基于高性能 SOC FPGA 阵列的 NVM 控制架构的实用性和数据可靠性.

1 相关工作

为了进一步研究新型非易失存储器的特性,以及如何更好地利用新型非易失存储器为现代存储系统服务,各类 NVM 仿真验证平台被相继提出. NVM 仿真验证平台主要分为仿真型验证平台和带有硬件原型系统的验证平台.

仿真验证平台主要有 CACTI^[6], NVsim 以及 NVMain 等. CACTI 是 HP 实验室提出的存储器仿真工具,不仅支持 DRAM 芯片,也支持 NVM 芯片的设计,通过内置的存储器模型提供 NVM 芯片的读写速度、面积以及功耗等基本参数,而且支持速度、面积和功耗的平衡设计. NVsim 是类似于 CACTI 的芯片级仿真器,利用 NVM 存储单元的参数(来自 ITRS^[7]),按照设定的存储器结构,从 subarray 到 Matrix 直到 Bank 逐层设置参数构建自定义的 NVM

芯片. NVmain 是架构级别的仿真器,支持采用 NVM 芯片构建存储系统;不仅支持 DRAM、常规的 NVM 芯片以及混合存储架构,也支持 MLC 类型的 NVM 芯片以及写寿命评估等功能.

基于硬件原型的验证平台主要有 OpenNVM. OpenNVM 采用 FPGA 互联单片 NVM,然后将 NVM 测试逻辑以及 NVM 控制器部署在 FPGA 上,实现测试 NVM 芯片的底层读写参数,如读写速度、读写功耗以及写入寿命等.然而,鉴于市面上的非易失存储器多数容量较小而且单片 NVM 芯片带宽较小,构建符合真实应用场景的内存或者外存时,需要采用多片 NVM 芯片构成阵列.因此,本文提出采用多层次 FPGA 构建 NVM 阵列,在提供大容量

的同时,利用多片 NVM 并行实现高带宽;同时也可以验证混合存储结构的特性.

2 基于 FPGA 阵列的 NVM 控制器架构设计

基于 FPGA 阵列的 NVM 控制器架构如图 2 所示,主要包含 3 个部分:FPGA 存储管理单元、FPGA 互连结构以及 NVM 接口控制器单元.控制器部署在 FPGA 阵列上,主 FPGA 和从 FPGA 通过高速互联通道进行数据交互.主 FPGA 主要实现高层次的存储任务解析、调度及状态监测等;从 FPGA 主要实现 NVM 的底层接口,包括读写操作及控制操作等.

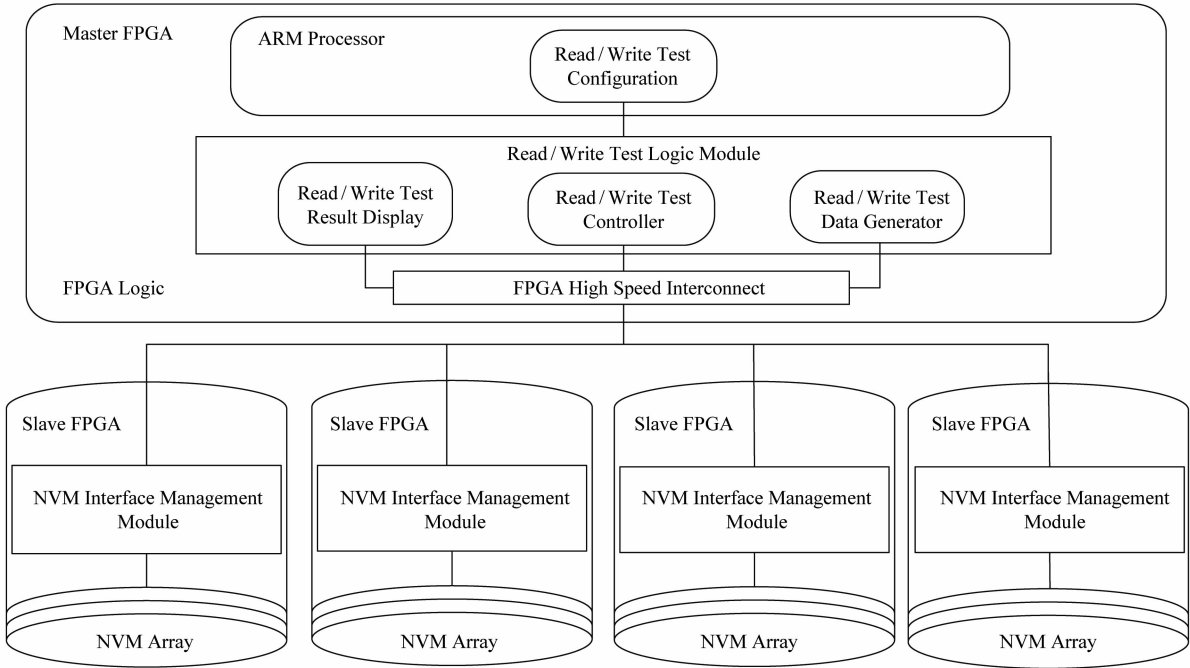


Fig. 2 FPGA arrays based architecture of NVM controller
图 2 基于 FPGA 阵列的 NVM 控制器架构图

基于 FPGA 阵列的 NVM 控制器采用多层阵列互联结构,具有良好的扩展性.通过改变从 FPGA 的数量,可以灵活改变存储容量和存储带宽.此外,从 FPGA 可以通过接入不同的 NVM 实现混合存储架构.下面将介绍 NVM 控制器的结构和工作原理.

2.1 主 FPGA NVM 控制器设计

主 FPGA 采用 SOC 架构的 FPGA,如图 3 所示,不仅包含硬核处理器 (ARM),也包含丰富的 FPGA 逻辑资源.此新型 FPGA 架构被主流 FPGA 厂商支持,如 Xilinx 的 ZYNQ-7000^[7] 系列以及 Altera 的 Cyclone5 和 Arria^[8] 系列等.此外,ARM

和 FPGA 间通过高速互联总线(如 AXI4 总线^[9])等进行高速数据交互,而且 FPGA 内部逻辑可以访问 ARM 统一编址的存储空间. FPGA 管理控制器不仅用于管理存储事务,也用来监测访问带宽、底层存储器状态信息等. FPGA 管理控制器接收来自 SOC 硬核处理器的数据传输任务,然后根据从 FPGA 获取的状态信息进行数据读写调度.

FPGA 管理控制器内置多个 FIFO 单元,用于处理存储数据源头与 FPGA 高速互联接口的瞬时带宽差异.存储数据源头有 2 种实现方式:

- 1) 采用 FPGA 逻辑实现模式数据生成器,并且支持 SOC 硬核控制数据模式以及数据流量等.

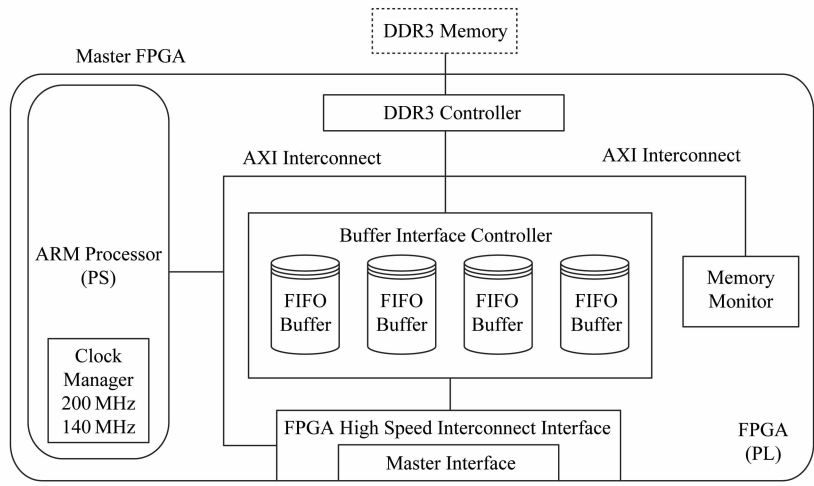


Fig. 3 Architecture of master FPGA NVM controller

图3 主FPGA NVM控制器结构示意图

2) SOC 硬核通过网络或者其他接口获取测试数据,存储在硬核单元和FPGA共享的DDR内存存储中.FPGA实现DMA模块,接收来自SOC硬核提供的DMA地址和DMA长度参数,然后从相应DDR内存地址中获取数据.

FPGA管理控制器还负责管理访存检测模块,用于记录存储带宽,并验证数据读写任务执行的准确性等.访存监测模块属于独立于FPGA管理控制器内数据传输单元的模块,与FPGA管理控制器的其他模块并行执行,不影响数据传输带宽.此外,访

存监测模块提供对接FPGA内置逻辑分析仪和ADC单元的接口,便于监测运行时关键标志位的动作状态以及系统整体的电气特性,如核电压、温度等.

2.2 从FPGA NVM控制器设计

从FPGA的控制器主要实现管理底层NVM接口,NVM物理层面的读写和其他控制.如图4所示,从FPGA控制器主要包含NVM中枢管理模块、NVM底层监控单元、NVM接口控制器以及高速互联通道的从机接口.

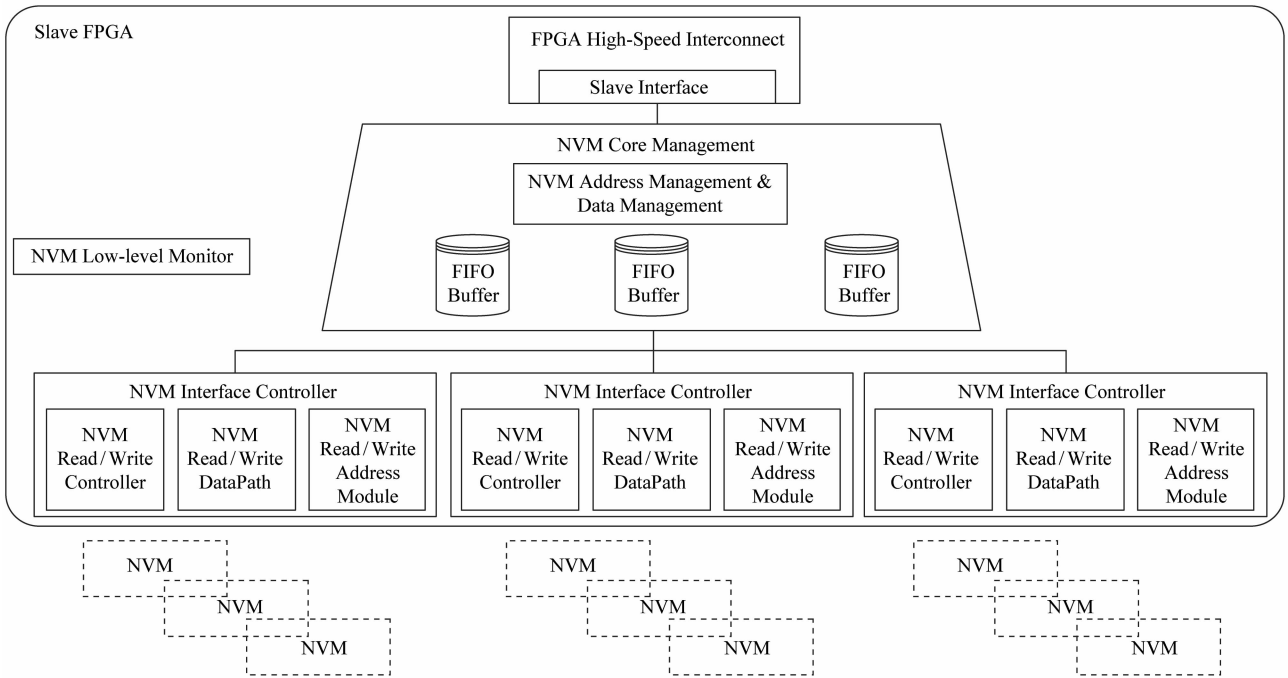


Fig. 4 Architecture of slave FPGA NVM controller

图4 从FPGA NVM控制器结构示意图

NVM 中枢管理处于从 FPGA 控制器的核心位置,主要负责接收来自主 FPGA 的数据读写任务,然后采用 FIFO 缓存数据,解决来自主 FPGA 的突发高速数据流和 NVM 接口控制器接口带宽差异问题;高速互联通道数据带宽通常超过 400 MBps,甚至达到数 Gbps,而单个普通 NVM 芯片接口的读写带宽为几十 MBps.

接口控制器实现 NVM 物理层面的数据接口、地址接口以及控制接口. 当 NVM 接口控制器接收来自 NVM 中枢管理的读写请求后,控制 FPGA 的一系列引脚按照 NVM 芯片所定义的读写时序进行翻转,从而实现读写操作.

基于从 FPGA NVM 控制器可以单独完成 NVM 底层参数的测试,如最大读写速度、读写功耗以及写入寿命等. 针对最大读写速度以及写入寿命测试,NVM 中枢管理控制 FPGA 内置时钟管理单元,输出所需频率的高精度时钟,然后控制 NVM 接口产生相应频率的接口读写时序. 同时,底层监控模块记录读写次数以及对比读写数据的正确性.

2.3 主从 FPGA 高速互联接口设计

高速互联通道的主机接口与从 FPGA 中的高速互联从机接口相连接,主要实现传输 FPGA 管理控制分配的数据,同时接收从 FPGA 的工作状态等信息. 高速互联通道包含 2 个层面:物理连接层和传输层.

物理连接层根据 FPGA 引脚支持的类型,可以实现基于并行总线的数据传输、基于多路 LVDS 串行总线数据传输以及基于 GTX(Xilinx FPGA 高速互联接口)或者 SRIO(Altera FPGA 高速互联接口)高速串行总线接口的数据传输.

传输层根据互联协议,传递数据读写地址、读写规模以及突发模式等. 传输层的设计具有较大的灵活性. 一方面,可以以较小的逻辑代价实现类似于底层存储器物理接口的访问协议,此时,从 FPGA 可以看作虚拟化的存储器;另一方面,当需要验证复杂的存储管理策略以及模拟网络化的分布式存储时,主从 FPGA 的高速互联接口传输层可以建立基于数据帧的复杂协议.

3 基于 NVM 控制器架构的硬件原型设计

本文基于第 2 节所描述的 NVM 控制器设计了硬件验证原型. 验证原型由包含 Zynq SOC 处理器的主 FPGA 板卡(底板)及包含 MRAM 存储器的从

FPGA 板卡(子板)组成. 其中,主 FPGA 板卡包括 Zynq 处理器芯片、DDR 存储器以及 4 个存储板 DIMM 插槽,存储板 DIMM 插槽可同时接入 4 块从 FPGA 板卡,4 块从 FPGA 板卡可并行访问;每块从 FPGA 板卡,由 1 片 Spartan6 FPGA 控制芯片以及 12 片并行、共享地址线的 MRAM 组成. 硬件原型系统如图 5 所示:

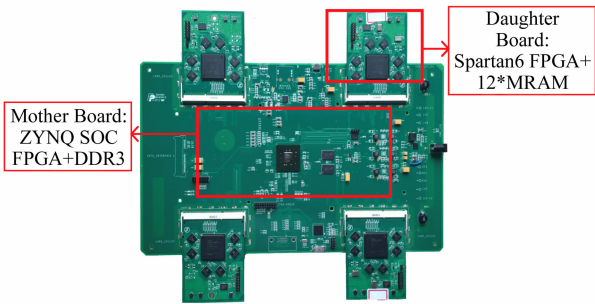


Fig. 5 Architecture of hardware prototype
图 5 硬件原型实物图

3.1 硬件原型电源系统设计

电源系统有多个电源轨组成. 不同的电源转换处都预留测试点,便于测试不同模块的功耗,用于进一步分析 NVM 控制器的功耗分布. 例如,子板总电源功耗 P 为测试点处的电压 V 乘以测试点处的电流 I (如图 6 所示).

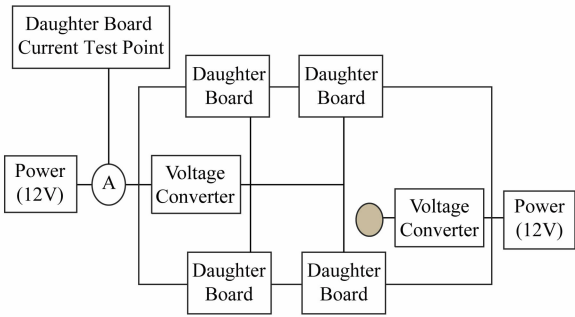


Fig. 6 Architecture of power monitor
图 6 功耗测试示意图

3.2 硬件原型互联接口设计

主从 FPGA 的互联电路主要采用差分布线方式. 为了同时满足并行总线接口和串行 LVDS 高速接口以及确保高速通信下的数据准确性,我们采用松耦合的差分布线方式,配合接地信号线,确保参考平面的完整性. 互联接口处 FPGA 的 IO 选择 FAST 模式,设定 IO 阻抗与互联线阻抗一致,实现阻抗匹配;在逻辑层面,采用输入输出引脚插入寄存器的方式,以流水线的策略降低后级逻辑的时序压力,确保 FPGA 内逻辑的高速运行.

3.3 硬件原型 SOC 系统

为提升原型系统的灵活性以及通用性,本文在 Zynq SOC 处理器中部署 Linux 系统. 通过 Linux 系统的终端与通用计算机互联,实现通用计算机控制测试流程,并显示测试结果的目标.

此外,本文设计了运行于 Linux 系统的 NVM 控制器模块的接口程序,抽象 NVM 控制器的读写操作,支持配置读写操作参数和获取读写状态,如读写地址、读写规模、读写完成状态以及数据校准等,为验证复杂的访存操作模式提供支撑.

4 实验设计与实验结果

4.1 实验设计

基于硬件原型和所提出的 NVM 控制器架构,本文设计了针对 MRAM 阵列的高带宽读写验证实验. 实验主要包含 2 部分:采用顺序方式的固定数据读写测试以及基于类 IOZONE 的可变规模读写测试.

在读写测试过程中,通用计算机通过终端与

Linux 系统通信,选择需要执行的测试程序,并在读写测试结束时显示读写数据大小以及 NVM 控制器读写运行的时钟数. 与此同时,示波器用于监测读写起始和结束的标志信号,获取读写运行时间;高精度数字万用表用于监测从 FPGA 板卡电源处的电流和电压,获取系统的运行功耗.

具体方案测试流程如图 7 所示. 读写速率测试逻辑模块作为测试核心,由读写测试控制模块、读写测试结果显示模块及测试数据产生模块 3 部分构成.

1) 读写测试控制模块负责接收用户配置程序的开启关闭指令,传递种子数据至数据产生模块以及获取测试结果传递给读写测试结果显示模块.

2) 数据产生模块用于根据种子数据产生固定数据量的数据块. 在写速率测试时,数据通过 FPGA 高速互联模块传输至 MRAM 存储阵列;在读速率测试时产生参考数据,同 FPGA 高速互联模块读取的数据进行对比,验证读速率测试中的数据有效性.

3) 读写测试结果显示模块用于将读写操作过程以高低电平的方式呈现在读写测试探测点上.

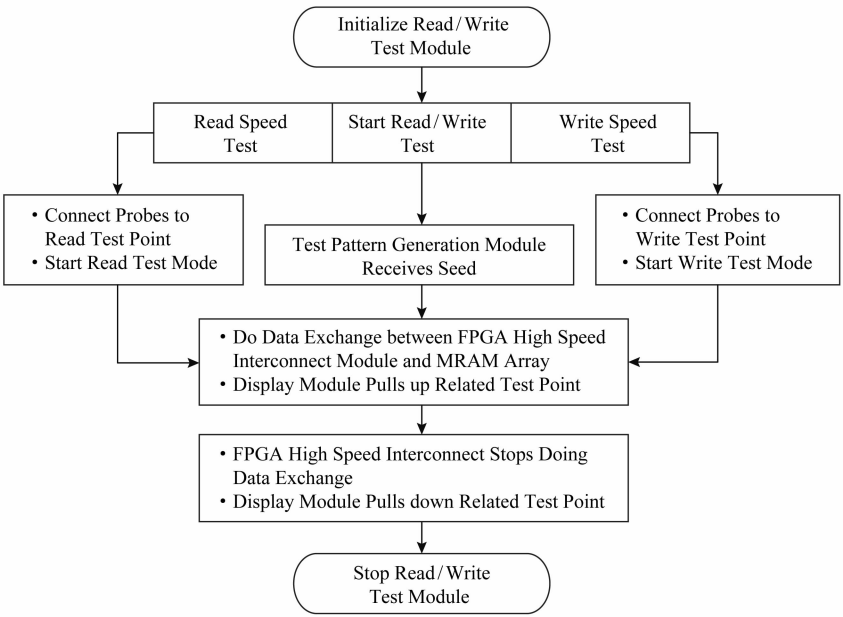


Fig. 7 Flow chart of read and write test on MRAM
图 7 MRAM 读写测试流程图

4.2 实验结果

读写速度测试方面,结合从 FPGA 的监测单元获取到读写速度以及表 1^[10]. 底层 MRAM 的读写频率为 25 MHz,位宽为 16 b,48 片 MRAM 的突发读写带宽为 2.4 GBps.

主 FPGA 内置统计单元和示波器测量结果显示,

顺序读操作的数据量为 240 KB,开始与结束的时间间隔约为 114 μ s;顺序写操作的数据量为 240 KB,开始与结束时间间隔为 126 μ s,经计算,读速率约为 2.055 GBps,写速率约为 1.905 GBps,我们所设计的 NVM 控制器读写带宽可以超过1.8 GBps,达到理论带宽 2.4 GBps 的 75%以上.

Table 1 Characteristics of MRAM

表 1 MRAM 芯片参数表

Parameter	Value
Write Cycle Time/ns	35
Read Cycle Time/ns	35
Read Current/mA	55
Write Current/mA	105
Leakage Current/mA	18
Supply Voltage/V	3.3

功耗测试结果显示(如图 8 所示),包含 MRAM 的从 FPGA 系统的总功耗约为 7.4 W,每个从 FPGA 板卡的平均功耗约为 1.8 W.

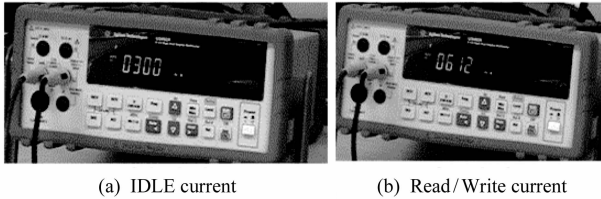


Fig. 8 Power consumption test of MRAM

图 8 MRAM 功耗测试示意图

在类 IOZONE 的读写验证实验中(如图 9 所示),读写数据的大小范围为 24~1 024 KB,读速度基本达到 2.0 GBps,而且随着数据规模的增大,读速度略微提升;写速度基本达到 1.9 GBps,写入速度随数据规模的变化趋势与读操作类似. NVM 控制器实现数据读写操作时,主从 FPGA 间首先要进行地址建立,然后再进行大规模的数据交换. 随着数据块的增大,顺序读写时的地址建立时间在整体读写时间中所占的比例逐渐下降.

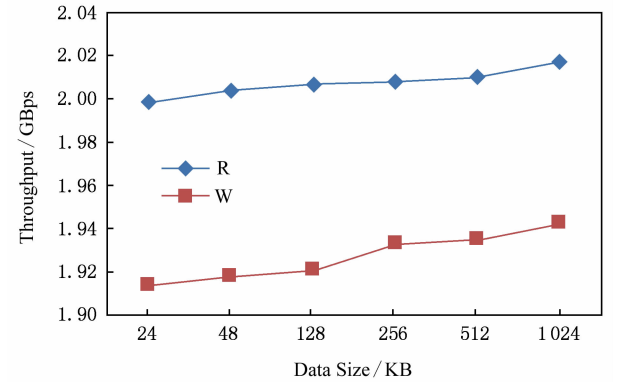


Fig. 9 Results of read/write test on IOZONE

like benchmark

图 9 类 IOZONE 读写速率测试结果

5 总 结

新型非易失存储设备的出现为传统存储系统提供了变革和发展的契机. 其不同于传统存储器的非易失、低功耗、高密度特性使其具有广阔的应用前景. 其低功耗特性使得日益增长的存储系统能耗获得改良;高密度特性使得存储系统的扩展变得容易,特别是主存空间的扩大不再成为瓶颈.

为充分利用新型非易失存储器的特性,构建高带宽大容量的存储器,本文提出的基于高性能 SOC FPGA 阵列的 NVM 验证架构,互联多级 FPGA,利用多层次 FPGA 结构扩展链接多片 NVM. 依据所提出的验证架构,设计了基于多层次 FPGA 的主从式 NVM 控制器,并完成适用于该架构的硬件原型设计. 该架构可以实现测试同类型多片 NVM 协同工作,也可以进行混合 NVM 存储管理方案验证.

参 考 文 献

[1] Cai Xiaojun, Research on the key technologies of high energy-efficient hybrid main memory based on non-volatile memory [D]. Ji'nan: Shandong University, 2016 (in Chinese) (蔡晓军. 基于非易失存储的高能效混合主存关键技术研究 [D]. 济南: 山东大学, 2016)

[2] Shu Jiwu, Lu Youyou, Zhang Jiacheng, et al. Research progresses on memory system based on non-volatile memory [J]. Science & Technology Review, 2016, 34(14): 86-94 (in Chinese) (舒继武, 陆游游, 张佳程, 等. 基于非易失性存储器的存储系统技术研究进展[J]. 科技导报, 2016, 34(14): 86-94)

[3] Dong X, Xu C, Jouppi N, et al. NVSim: A circuit-level performance, energy, and area model for emerging non-volatile memory [G]. Emerging Memory Technologies. New York: Springer, 2014: 15-50

[4] Zhang J, Park G, Shihab M M, et al. OpenNVM: An open-sourced FPGA-based NVM controller for low level memory characterization [C] //Proc of the 33rd IEEE Int Conf on Computer Design. Piscataway, NJ: IEEE, 2015: 666-673

[5] Poremba M, Zhang T, Xie Y. Nvmain 2.0: A user-friendly memory simulator to model (non-) volatile memory systems [J]. IEEE Computer Architecture Letters, 2015, 14(2): 140-143

[6] Wilton S J E, Jouppi N P. CACTI: An enhanced cache access and cycle time model [J]. IEEE Journal of Solid-State Circuits, 1996, 31(5): 677-688

[7] Crockett L H, Elliot R A, Enderwitz M A, et al. The Zynq Book; Embedded Processing with the Arm Cortex-A9 on the Xilinx Zynq-7000 All Programmable Soc [M]. Glasgow: Strathclyde Academic Media, 2014.

[8] Tyhach J, Hutton M, Atsatt S, et al. Arria™ 10 device architecture [C] //Proc of Custom Integrated Circuits Conf. Piscataway, NJ: IEEE, 2015: 1-8

[9] Azarkhish E, Rossi D, Loi I, et al. High performance AXI-4.0 based interconnect for extensible smart memory cubes [C] //Proc of Design, Automation & Test in Europe Conf & Exhibition. Piscataway, NJ: IEEE, 2015: 1317-1322

[10] DeBrosse J, Maffitt T, Nakamura Y, et al. A fully-functional 90nm 8Mb STT MRAM demonstrator featuring trimmed, reference cell-based sensing [C] //Proc of Custom Integrated Circuits Conf. Piscataway, NJ: IEEE, 2015: 1-3



Liu Ke, born in 1986. PhD candidate in the School of Computer Science and Technology, Shandong University. His main research interests include distributed and embedded systems, FPGA, and emerging non-volatile memory.



Cai Xiaojun, born in 1974. PhD and assistant professor in the School of Computer Science and Technology, Shandong University. Member of CCF. His main research interests include distributed and embedded systems, wireless sensor network, emerging non-volatile memory and trust computing (xj_cai@sdu.edu.cn).



Zhang Zhiyong, born in 1987. Postdoctoral Research Fellow with Shandong University. His main research interests include real-time and embedded systems, wireless sensor network, mobile computing, and emerging non-volatile memory, etc (zhangzhiyong@sdu.edu.cn).



Zhao Mengying, born in 1990. PhD and assistant professor in the School of Computer Science and Technology, Shandong University. Member of CCF. Her main research interests include distributed and embedded systems, emerging non-volatile memory and non-volatile processing (zhaomengying@sdu.edu.cn).



Jia Zhiping, born in 1965. Professor and PhD supervisor in the School of Computer Science and Technology, Shandong University. Member of CCF. His main research interests include distributed and embedded systems, wireless sensor network, emerging non-volatile memory and trust computing.

《计算机研究与发展》征订启事

《计算机研究与发展》(Journal of Computer Research and Development)是中国科学院计算技术研究所和中国计算机学会联合主办、科学出版社出版的学术性刊物,中国计算机学会会刊。主要刊登计算机科学技术领域高水平的学术论文、最新科研成果和重大应用成果。读者对象为从事计算机研究与开发的研究人员、工程技术人员、各大专院校计算机相关专业的师生以及高新企业研发人员等。

《计算机研究与发展》于1958年创刊,是我国第一个计算机刊物,现已成为我国计算机领域权威性的学术期刊之一。并历次被评为我国计算机类核心期刊,多次被评为“中国百种杰出学术期刊”。此外,还被《中国学术期刊文摘》、《中国科学引文索引》、“中国科学引文数据库”、“中国科技论文统计源数据库”、美国工程索引(Ei)检索系统、日本《科学技术文献速报》、俄罗斯《文摘杂志》、英国《科学文摘》(SA)等国内外重要检索机构收录。

国内邮发代号:2-654;国外发行代号:M603
国内统一连续出版物号:CN11-1777/TP
国际标准连续出版物号:ISSN1000-1239
联系方式:
100190 北京中关村科学院南路6号《计算机研究与发展》编辑部
电话: +86(10)62620696(兼传真); +86(10)62600350
Email: crad@ict.ac.cn
http://crad.ict.ac.cn