

基于 TDMP 优化算法的 QC-LDPC 译码器 VLSI 实现

鲍丹 向波 申睿 陈云 曾晓洋

(复旦大学专用集成电路与系统国家重点实验室 上海 201203)

(062052032@fudan.edu.cn)

VLSI Implementation of QC-LDPC Decoder Using Optimized TDMP Algorithm

Bao Dan, Xiang Bo, Shen Rui, Chen Yun, and Zeng Xiaoyang

(State Key Laboratory of ASIC and System, Fudan University, Shanghai 201203)

Abstract An area and power efficient VLSI architecture is presented for QC-LDPC decoder based on optimized turbo-decoding message-passing (TDMP) algorithm. The optimization is based mainly on the check node updating using normalized Min-Sum (NMS) scheme, which has been proposed for the two-phase message-passing (TPMP) algorithm or the so called two-phase belief propagation algorithm. The primary advantages of the proposed architecture over recent work are: 1) power dissipation reduction resulting from fast convergence speed by a factor of larger than 2 in terms of decoding iterations, 2) more than 50% savings in memory leading to a large chip area reduction benefiting from memory optimization by posterior message compression, 3) good performance and low complexity resulting in small area and low power due to normalized Min-Sum algorithm for check-node updating, and 4) reducing interconnection congestion by making full use of quasi-cyclic characteristics of check matrix and the proposed logarithm shifters. The proposed architecture is implemented in the Chinese Digital Television Terrestrial Multimedia Broadcasting (DTMB) system for LDPC codes decoding. The decoder consumes 0.58 million gates, and reaches a throughput of 107 Mbps at a clock frequency of 100MHz. The proposed architecture can be extended to other digital communication systems such as wireless local area network (WLAN), *etc*, which adopt LDPC codes as the forward error correction (FEC) scheme.

Key words QC-LDPC; TDMP; NMS; DTMB; belief propagation

摘要 在对 TDMP 算法优化的基础上,提出了一种 LDPC 译码器 VLSI 架构和实现方法.与目前已经存在的 LDPC 译码器相比,这种实现方法的优势主要有:1)能够实现快速收敛,将译码迭代次数降低为经典方法的 50% 以下,进而降低功耗;2)用于存储中间置信信息的存储器使用量比传统方法减少 50% 以上,大大减少芯片面积;3)校验节点置信度更新采用归一化 Min-Sum 算法(NMS),降低计算复杂度,选取的校正因子保证了译码器的 BER 性能;4)充分利用校验矩阵的准循环特点,实现规整的芯片内部互连线,减小布线难度.用这种架构实现了符合中国数字电视地面传输标准(DTMB)的 LDPC 译码器:融合 3 种码率;芯片规模为 58 万门;时钟频率为 100 MHz,数据吞吐率为 107 Mbps.

关键词 QC-LDPC; TDMP; NMS; DTMB; 置信传播

中图法分类号 TN764; TP302

收稿日期:2008-01-23;修回日期:2008-06-27

通信作者:陈 云(chenyun@fudan.edu.cn)

基金项目:上海市科委集成电路创新项目(77062001)

在数字通信系统中,采用前向纠错编码(FEC)可大幅提高传输可靠性.目前,LDPC 码是性能优于 Turbo 码的一种前向纠错编码技术,Mackay 等人在文献[1]中指出 LDPC 码性能接近香农限.LDPC 码译码延迟比 Turbo 码小,因而更适合应用于高数据速率的系统中.基于 LDPC 码的 FEC 技术已被应用于中国数字电视地面传输标准(DTMB)^[2]和欧洲数字电视卫星传输标准(DVB-S2)中,并作为 IEEE 802.11n(WLAN)和 IEEE 802.16e(WiMAX) 系统信道编译码的备选方案.因而,设计一种高性能 LDPC 译码器是实现这类高速数字通信系统可靠传输的关键.

LDPC 经典译码算法采用两相迭代置信传播(TPMP)算法^[3],Min-Sum 算法^[4]是经典 TPMP 算法校验节点更新的简化方法.直接使用 Min-Sum 算法性能有 1 dB 左右的损失,引入校正因子后,性能降低得到弥补,只有 0.1 dB~0.2 dB 的损失.最近发展的 LDPC 译码算法是采用基于 Turbo 译码算法的置信传播算法(TDMP)^[5].相对于 TPMP 算法,TDMP 算法能将收敛所需的迭代次数降低 50% 以上,因而可以有效地降低功耗.本文的仿真指出,使用归一化 Min-Sum 算法(NMS)优化 TDMP 算法,能够获得良好的性能.

1 LDPC 译码算法及 TDMP 算法优化

1.1 准循环 LDPC 码

LDPC 码是一种线性分组码,码字结构由校验矩阵 H 确定, H 矩阵与码字 x 函数关系如式(1)(2),其中 x 取自码集 C ,长度为 $n=10$ b.校验节点定义为 c_1, c_2, \dots, c_5 ,变量节点定义为 v_1, v_2, \dots, v_{10} .

$$H = \begin{bmatrix} 1 & 1 & 1 & 1 & 0 & 0 & 0 & 0 & 0 & 0 \\ 1 & 0 & 0 & 0 & 1 & 1 & 1 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 & 1 & 0 & 0 & 1 & 1 & 0 \\ 0 & 0 & 1 & 0 & 0 & 1 & 0 & 1 & 0 & 1 \\ 0 & 0 & 0 & 1 & 0 & 0 & 1 & 0 & 1 & 1 \end{bmatrix} \begin{matrix} c_1 \\ c_2 \\ c_3 \\ c_4 \\ c_5 \end{matrix}, \quad (1)$$

$$\begin{matrix} v_1 & v_2 & v_3 & v_4 & v_5 & v_6 & v_7 & v_8 & v_9 & v_{10} \end{matrix}$$

$$Hx^T = 0 \pmod{2}, \quad \forall x \in C. \quad (2)$$

Tanner 提出一种 LDPC 码图形表示法^[6],则式(1)的 LDPC 码如图 1 所示. Tanner 图可直接映射成并行架构 LDPC 译码器^[7],或映射成部分并行架构 LDPC 译码器^[8].

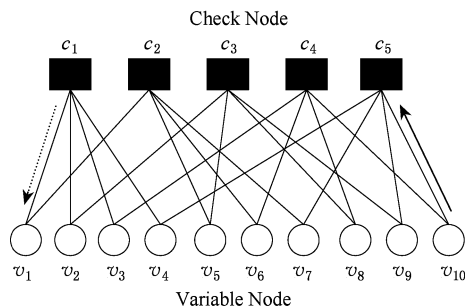


Fig. 1 Tanner graph representation of LDPC codes.

图 1 LDPC 码 Tanner 图表示

按照 H 矩阵中每行“1”的个数(即行重)是否为唯一值,LDPC 码可以分为规则型和非规则型两类.列重定义为 H 矩阵中每列“1”的个数. Richardson 等人^[9]在中提出非规则 LDPC 码,编码增益比规则码更高.随机构造的非规则 LDPC 码在译码器 VLSI 实现时容易造成芯片内部互连拥堵,采用准循环移位方法构造的 LDPC 码更利于硬件实现.

本文使用的 LDPC 码 H 矩阵如式(3),其中 $A_{(j,k)127 \times 127}$ 称为子矩阵,由单位矩阵 $I_{127 \times 127}$ 循环移位得到,或者是 0 矩阵.式(4)示例了 $A_{7 \times 7}$ 的结构.由式(3)(4)定义的 LDPC 码是准循环 LDPC 码,行重不相等,因而是一种非规则码.

$$H = \begin{bmatrix} A_{1,1} & A_{1,2} & \dots & A_{1,t} \\ A_{2,1} & A_{2,2} & \dots & A_{2,t} \\ \vdots & \vdots & & \vdots \\ A_{c,1} & A_{c,2} & \dots & A_{c,t} \end{bmatrix}, \quad (3)$$

$$A_{7 \times 7} = \begin{bmatrix} 0 & 0 & 0 & 0 & 1 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 1 \\ 1 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 1 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 1 & 0 & 0 & 0 \end{bmatrix}. \quad (4)$$

1.2 TDMP 算法

LDPC 经典译码算法采用两相迭代 TPMP 算法,其操作流程是:第 1 相迭代按图 1 实线箭头方向将变量节点置信度传递到校验节点,进行校验节点更新;第 2 相迭代按虚线方向将校验节点置信度传递到变量节点,进行变量节点更新;当校验成功,即满足式(2)时判决输出,否则重复以上两相迭代运算,直到达到最大迭代次数时判决输出.两相迭代之间的等待时间是完成一相迭代所需的时间,这造成译码延迟.

Mansour 等人在文献[5,10-11]中提出和使用基于 Turbo 译码的置信传播算法,即 TDMP 算法,解决了两相迭代间的译码等待问题.该算法校验节点更新采用前向-后向递归的 BCJR 算法. TDMP 算法描述如下:

第 1 步:初始化, $Lr \leftarrow 0, Lq \leftarrow Li$.

第 2 步:迭代更新并判决,如果满足校验方程式(2)或者达到最大迭代次数就终止迭代,置信度更新顺次按式(5)~(7)进行,判决方法如式(8).

$$LQ_w^{k,s} = Lq_w^{k,s} - Lr_w^{(k-1),s}, \quad (5)$$

$$Lr_w^{k,s} = BCJR(LQ_w^{k,s}), \quad (6)$$

$$Lq_w^{k,s} = LQ_w^{k,s} + Lr_w^{k,s}, \quad (7)$$

$$\hat{x}_i = \sim \operatorname{sgn}(Lq_i), \quad (8)$$

其中, k 表示迭代次数, s 表示子迭代序数, w 表示校验节点序数, w^r 表示校验节点 w 的行重, Li 表示从信道接收的本征置信度, $Lr_w^{k,s}$ 表示在第 k 次迭代中第 s 子迭代时校验节点 w 处后验信息值, $Lq_w^{k,s}$ 表示在第 k 次迭代中第 s 子迭代时校验节点 w 的外信息值, $LQ_w^{k,s}$ 表示对应子迭代的外信息差值, $\operatorname{sgn}(x)$ 表示 x 的符号.

采用 TDMP 算法对准循环 LDPC 码进行解码,对每一行子矩阵并行译码后,将更新的置信信息立即传播到下一行子矩阵作置信度更新,因而减小两相运算之间的等待时间,进而减小译码延迟、提高数据吞吐率,并且由于迭代次数减少而进一步降低功耗.

但是,基于 BCJR 的 TDMP 算法还是存在以下不足:1)迭代过程中产生大量的后验信息(即 Lr 值)需要存储,输入到 BCJR 算子的 w^r 个先验信息经过运算后输出 w^r 个后验信息,这 w^r 个后验信息都需要存储;2)BCJR 算子采用前向-后向递归运算,计算周期是 w^r 的两倍,计算复杂度高.本文提出了采用 NMS 算法优化 TDMP 算法,降低后验信息的存储量和计算复杂度,可以有效解决上述问题.

1.3 采用 NMS 算法优化 TDMP 算法

为解决上面提出的问题,校验节点更新方法用 NMS 取代 BCJR 算子,将方程式(7)改为方程式(9):

$$Lr_{wm}^{k,s} = \alpha \times (-1)^{w^r-1} \times \prod_m \operatorname{sgn}(LQ_{wm}^{k,s}) \times \max(\min_m |LQ_{wm}^{k,s}| - \frac{1}{8}, 0), \quad \forall m \in N(w) \setminus n, \quad (9)$$

其中, $N(w) \setminus n$ 表示与校验点 w 相关联的除变量节点 n 的所有其他变量节点.采用合适的归一化因子 α 能够消除 Min-Sum 简化带来的性能损失, α 一般

小于 1.方程式(9)中 Min-Sum 与 TPMP 算法中 Min-Sum 的区别在于:为了同时适用于规则 LDPC 码和非规则 LDPC 码,增加一个符号校正因子 $(-1)^{w^r-1}$.偏移量 $\frac{1}{8}$ 能增加 α 的稳定性.

图 2 是算法性能仿真曲线,同时作对比的是文献[8]和文献[10]使用的算法.仿真使用 DTMB 系统[2]中规定的 LDPC 码,如前文式(3),码长 7493 b,码率 0.4,采用 BPSK 调制,最大迭代次数设为不能继续提高 BER 性能的合适值,使用的校正因子 α 按照文献[4]提出的密度演化的方法获得.

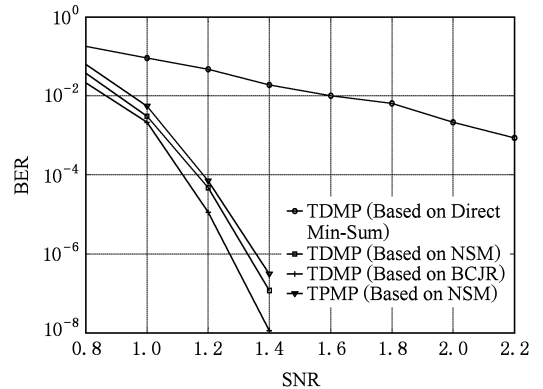


Fig. 2 Performance comparison.

图 2 算法性能对比

从图 2 可以看出,基于 NMS 的 TDMP 算法与基于 BCJR 相比,BER 性能损失在 0.1 dB 左右;基于 NMS 的 TDMP 算法性能与 TPMP 算法相比,BER 性能提高在 0.1 dB 左右;因而这 3 种算法性能几乎没有差别.无校正因子时,即直接采用 Min-Sum 优化,性能有 1 dB 以上的损失,因而归一化因子 α 对保证性能十分重要.

图 3 是迭代次数随信噪比变化曲线.图 3 显示,在各种信噪比下,基于 NMS 的 TDMP 算法比经典 TPMP 算法迭代次数可以降低 50% 以上,可以实现更快的译码.

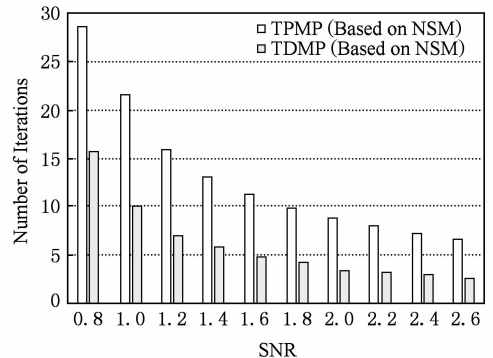


Fig. 3 Iteration number at different SNR.

图 3 迭代次数曲线

下面比较式(9)与 BCJR 算子的计算复杂度. 对于每一行子迭代,采用式(9)需要进行 $2 \times w^r$ 次数据选择、 $2 \times w^r$ 次加法和 $2 \times w^r$ 次异或运算;而采用 BCJR 算子需要 $4 \times 3 \times w^r$ 次数据选择、 $4 \times 2 \times w^r$ 次加法、 $4 \times 2 \times w^r$ 次减法^[10]. 因而,采用式(9)可以减少 75%左右的计算复杂度.

2 LDPC 译码器的 VLSI 实现

2.1 VLSI 硬件架构

采用上述算法,提出了一种新的 LDPC 译码器架构,并将该架构应用于 DTMB 系统信道解码中. DTMB 系统中信道编码采用 LDPC 码与 BCH 码级联的方案,其中 LDPC 码是有 3 种码率(0.4, 0.6, 0.8)的准循环、非规则码. 为了有效利用准循环特性,译码器采用 H 矩阵 127 行并行、行内部串行的部分并行架构,如图 4 所示. 主要包括控制单元 CU、处理单元阵列 SISO、对数移位器 LogS、信息恢复单元 IRU 和存储单元. 以下分别介绍.

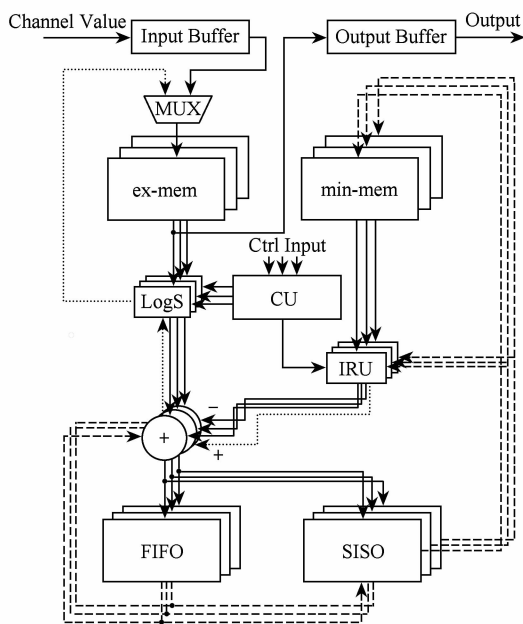


Fig. 4 Decoder architecture for multi-rate QC-LDPC codes.

图 4 多码率 QC-LDPC 译码器架构

2.2 控制单元 CU 和对数移位器 LogS

在这种新的架构中,控制单元 CU 作为整个译码器的控制部分,主要完成奇偶校验、产生迭代终止条件;迭代和子迭代的切换;由于融合 3 种码率,需要进行码率控制;产生所有存储单元的地址;产生对数移位器 LogS 移位量;以及对数据恢复单元的控制.

对数移位器 LogS 把对应准循环移位子矩阵的置信度进行移位,通过规整的网络结构送入运算单元,消除芯片内部布线拥堵.

2.3 处理单元阵列 SISO

处理单元阵列 SISO 实现方程(9)规定的功能,进行校验节点置信度更新,使用加法器、比较器和移位器实现,由图 5 所示的处理单元 PU 构成:

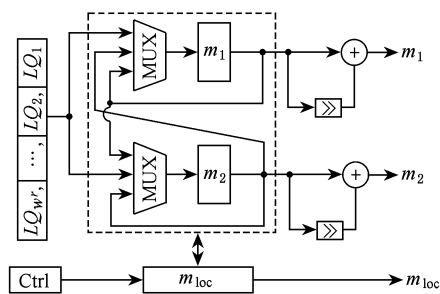


Fig. 5 Processing unit (PU) for multi-rate QC-LDPC decoder.

图 5 多码率 QC-LDPC 译码器处理单元 PU

这种新的架构能实现数据的压缩存储,具体过程如下:PU 的输入信息个数为 w^r 个,输出信息为最小值、次小值以及最小值的位置. 可见,PU 不仅对先验信息进行了更新,同时将生成的后验信息进行了压缩,压缩比约为 $w^r:3$,并且行重 w^r 越大压缩比越大,需要的存储量越小. 因而,这种更新方法能够大大减小后验信息存储单元的使用量.

2.4 信息恢复单元 IRU 和存储单元

信息恢复单元 IRU 由最小值和次小值等信息产生每次子迭代所需要的行重 w^r 个置信先验信息. 这是对 PU 压缩后的后验信息的解压缩过程.

存储单元包括输入缓存 input buffer、输出缓存 output buffer、ex-mem、min-mem 和 FIFO. ex-mem 存储迭代过程中更新的 L_q 置信度, min-mem 存储方程式(9)更新的 L_r 置信度,只需要存储压缩后的 L_r 置信度.

2.5 译码流程

从信道接收置信度信息,缓存后进行初始化,初始化完成后进入迭代译码阶段,迭代过程分为主迭代和子迭代,一次主迭代对应整个 H 矩阵的译码,一次子迭代对应一个子矩阵的译码,每次主迭代由 C 次子迭代构成,每次子迭代完成方程式(5),(7),(8)和(9)规定的计算过程,具体流程如下.

1) 实线规定的更新过程:从 min-mem 中读取置信度信息,恢复出 L_r 信息,同时从 ex-mem 中串行读取 L_q 信息,经过对数移位器后,将两种置信度作减法运算,将差送到处理单元阵列(SISO),同时

将该差值写入到 FIFO 中,在读取行重新置信度信息后,SISO 得到了更新的 L_r 信息,此时将更新的 L_r 信息以最小值、次小值和次小值位置的形式存入 min-mem.

2) 虚线规定的更新过程:利用更新的最小值、次小值和次小值位置恢复出更新的 L_r 信息,与从 FIFO 读出的暂存值相加产生更新的 L_q 信息值,通过对数移位器写入 ex-mem. 这一更新过程需要 w^r 个时钟周期完成. 整个置信更新过程在 $(2w^r + 3)$ 个时钟周期完成.

当满足校验方程或达到最大迭代次数时,将判决结果经过输出缓存输出. 置信更新过程中在 SISO 处理单元外部需要进行一次减法运算、一次加法运算,在硬件上复用同一组加法器,同时还分时复用对数移位器、信息恢复单元,以减少芯片面积.

3 FPGA 和 ASIC 实现结果和分析

将这种 LDPC 译码器 VLSI 架构应用于 DTMB

系统的 LDPC 码译码,在 Altera Stratix II 器件 EP2S130F1020C5 上通过 FPGA 验证,FPGA 实现结果见表 1,ASIC 实现结果见表 2.

Table 1 FPGA Implementation Results and Comparisons

表 1 FPGA 实现结果及对比

Parameters	Ref[8]	Proposed
Length/b	7493	
Rate	0.4,0.6,0.8	As in Ref[8]
A matrix	127×127	
Row weight	7,8,12,13,26,27	
Frequency/MHz		50
Throughput/Mbps		53.5
ALU	68864	25098
Registers		5815
Memory/b	611072	241772
DSP	15	0

Table 2 ASIC Implementation Results and Comparisons

表 2 ASIC 实现结果及对比

Parameters	Proposed	Ref[8]	Ref[10]
Length/b	7493	7493	2048
Type	Irregular QC-LDPC	Irregular QC-LDPC	AA-LDPC
Rate	0.4,0.6,0.8	0.4,0.6,0.8	0.5-0.875
Sub matrix	127×127	127×127	64×64
Row weight	(7,8),(12,13),(26,27)	(7,8),(12,13),(26,27)	6
Algorithm	TDMP,NMS	TPMP,NMS	TDMP,BCJR
Frequency/MHz	100	80	125
Memory Capacity/b	241772	611072	51680
CMOS Technology/nm, v	180,1.8	130,1.2	180,1.8
Normalized Throughput/Mbps	107	150	160
Area/mm ²	7	12	14.3
Performance (BER@SNR)/dB	10 ⁻⁶ @1.4		10 ⁻⁶ @2.2

由表 1 知,与文献[8]对比,本设计所使用的 ALU 和存储量分别降低 60% 以上. 由表 2 知,与文献[10]对比,在这种硬件架构中 FIFO 使用量是文献[10]架构的 50%;与文献[8]和文献[10]对比,对于实现单一码率,在 0.4 码率时,存储 L_r 信息的存储器(min-mem)使用量减少 53%,在 0.6 码率时存储量减少 69%,在 0.8 码率时存储量减少 78.6%,3 种码率融合后存储量减少 53%;此外,与文献[8]对比,不需要存储 sum 值,使存储量进一步减少. 本文

提出的架构实现的时钟频率为 100 MHz,比文献[10]要低,主要是因为由对数移位器和加法器构成的关键路径上没有使用流水线,使得关键路径比较长;如果在应用中需要更高的数据吞吐率,可以通过在关键路径上插入流水线寄存器以提高时钟频率.

4 结 论

本文基于归一化 Min-Sum 算法对 TDMP 算法

进行优化,提出了一种 LDPC 译码器硬件架构和设计方法,能够大大降低芯片面积、功耗和计算复杂度,实现了 DTMB 标准规定的 LDPC 码的译码,在 Altera Stratix II 器件上通过 FPGA 验证,用 Synopsys DC 综合结果为 58 万门,在 100 M 时钟下达到 107 Mbps 的数据吞吐率。

参 考 文 献

- [1] Mackay D J C, Neel R M. Near Shannon limit performance of low density parity check codes [J]. *Electronic Letters*, 1996, 32(18): 1645-1646
- [2] Digital Television Terrestrial Broadcasting Standard Special Group. GB 20600-2006: Framing Structure, Channel Coding and Modulation for Digital Television Terrestrial Broadcasting System [S]. Beijing: Chinese Standard Express, 2006 (in Chinese)
(数字电视地面广播传输国家标准特别工作组. GB 20600-2006: 数字电视地面广播传输系统帧结构、信道编码和调制 [S]. 北京: 中国标准出版社, 2006)
- [3] Fossorier M P C, *et al.* Reduced complexity iterative decoding of low density parity check codes based on belief propagation [J]. *IEEE Trans on Communications*, 1999, 47(5): 673-680
- [4] Chen J, Dholakia A, *et al.* Reduced-complexity decoding of LDPC codes [J]. *IEEE Trans on Communications*, 2005, 53(8): 1288-1299
- [5] Mansour M M. A turbo-decoding message-passing algorithm for sparse parity-check codes [J]. *IEEE Trans on Signal Processing*, 2006, 54(11): 4376-4392
- [6] Tanner R M. A recursive approach to low complexity codes [J]. *IEEE Trans on Information Theory*, 1981, 27(9): 533-548
- [7] Blanksby A J, Howland C J. A 690-mW 1-Gb/s 1024-b, rate-1/2 low density parity-check code decoder [J]. *IEEE Journal on Solid-State Circuits*, 2002, 37(3): 404-412
- [8] Chen Yun, Zeng Xiaoyang, *et al.* VLSI design of an irregular LDPC decoder in DTMB [J]. *Journal on Communications*, 2007, 28(8): 202-205 (in Chinese)
(陈贇, 曾晓洋, 等. 符合 DTMB 标准的非规则码 LDPC 解码器 VLSI 设计 [J]. *通信学报*, 2007, 28(8): 202-205)
- [9] Richardson T, Shokrollahi M A, *et al.* Design of capacity approaching irregular low-density parity-check codes [J]. *IEEE Trans on Information Theory*, 2001, 47(2): 619-637
- [10] Mansour M M, Shanbhag N R. A 640-Mb/s 2048-bit programmable LDPC decoder chip [J]. *IEEE Journal on Solid-State Circuits*, 2006, 41(3): 684-698
- [11] Mansour M M, Shanbhag N R. Turbo decoder architectures for low-density parity-check codes [C] //Proc of Global Telecommunications Conference. Piscataway: IEEE, 2002: 1183-1188



Bao Dan, born in 1982. Received his B. S. degree in electronics from Beijing University of Aeronautics and Astronautics, Beijing, P. R. China, in 2005. He is currently working toward his Ph. D.

degree in microelectronics at the ASIC & System State Key Laboratory of Fudan University, Shanghai. His main research interests include ASIC designs and interactions between algorithms and VLSI architectures in broadband wireless transmission systems.

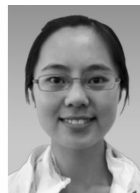
鲍丹, 1982 年生, 博士研究生, 主要研究方向为宽带无线通信系统算法及 VLSI 电路实现。



Xiang Bo, born in 1982. Received his B. S. degree in microelectronics from Sichuan University, Chengdu, P. R. China in 2005. He is currently working toward his Ph. D. degree in microelectronics at the

ASIC & System State Key Laboratory of Fudan University. His main research interests include wireless communication systems and their VLSI architecture design, in particular, the channel coding and decoding algorithms and their VLSI implementations.

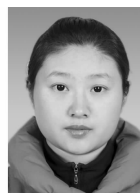
向波, 1982 年生, 博士研究生, 主要研究方向为数字信号处理、通信 VLSI 设计等。



Shen Rui, born in 1983. Received her B. S. degree in electrical engineering from Tongji University, Shanghai, P. R. China in 2006. She is currently working toward the M. S. degree in microelectronics at the

ASIC & System State Key Laboratory of Fudan University. Her main research interests include wireless communication systems and their VLSI architecture design.

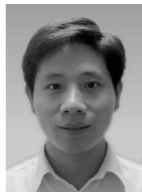
申睿, 1983 年生, 硕士研究生, 主要研究方向为无线通信系统及 VLSI 架构设计。



Chen Yun, born in 1979. Received her B. S and M. S. degree from UESTC in 2000 and Ph. D. degree from Fudan University in 2007. She is now with the State Key Laboratory of ASIC & System, Fudan

University, P. R. China. Her main research interests include HDTV chip design, VLSI signal processing, and communication systems.

陈贇, 1979 年生, 博士, 主要研究方向为 HDTV 芯片设计、数字信号处理、通信 VLSI 设计等。



Zeng Xiaoyang, born in 1972. Received his B. S. degree from Xiangtan University, China in 1992, and his Ph. D. degree from the Changchun Institute of Optics and Fine Mechanics, the Chinese Academy of

Sciences in 2001. From 2001 to 2003, he worked as a post-doctor researcher at the State Key Laboratory of ASIC and System, Fudan University, P. R. China. Then he joined the faculty of the Department of Micro-Electronics at Fudan University as an associate professor. His main research

interests include information security chip design, VLSI signal processing, and communication systems. Prof. Zeng is the chair of Design-Contest of ASP-DAC 2004 and 2005, also the TPC member of several international conferences such as ASCON 2005 and A-SSCC 2006, *etc.*

曾晓洋, 1972年生, 教授, 博士生导师, 主要研究方向为集成电路设计及其相关技术, 包括信息安全芯片设计与芯片的安全防护技术研究、数字信号与数字图像处理及其 VLSI 实现.

Research Background

Because of its near-capacity performance, the low-density parity-check codes, including encoding/decoding algorithms and encoder/decoder design, have received great interests both in scientific research and applied communication systems, such as Wireless Metropolitan Area Network (WMAN, 802.16e), Wireless Local Area Network (WLAN, 802.11n), European Digital Video Broadcasting via Satellite (DVB-S2), Ultra Mobile Broadband of 3rd Generation Partnership Project 2 (UMBB of 3GPP2), Digital Television Terrestrial Multimedia Broadcasting (DTMB), *etc.* since the rediscovery of the LDPC codes in mid nineteen nineties by Mackay. Compared with other FEC scheme, LDPC codes feature the best performance while giving a large coding complexity. QC-LDPC codes are developed to resolve the problem recently, and are used in the above mentioned systems. The challenges in designing an LDPC decoder are large usage of on-chip memory, power dissipation and interconnect congestion. To reduce the interconnect congestion, QC-LDPC codes permuted with regularity are developed in recent years. In this paper, a low-complexity decoding algorithm is adopted and a partially parallel LDPC decoder architecture, featuring high throughput, low cost and no congestion, which is fully compliant to DTMB (digital television terrestrial multi-media broadcasting) applications, is proposed and can be applied to other systems that adopt LDPC codes as the FEC scheme. This work is supported by the Science and Technology Commission of Shanghai Municipality under grant No. 77062001.