

一种高速延时无关同异步转换接口电路

彭瑶¹ 杨银堂¹ 朱樟明¹ 周端²

¹(西安电子科技大学微电子研究所 西安 710071)

²(西安电子科技大学计算机学院 西安 710071)

(xyiezi@163.com)

A High-Speed Delay-Independent Synchronous to Asynchronous Interface

Peng Yao¹, Yang Yintang¹, Zhu Zhangming¹, and Zhou Duan²

¹(Institute of Microelectronics, Xidian University, Xi'an 710071)

²(School of Computer Science and Technology, Xidian University, Xi'an 710071)

Abstract This paper proposes a novel interface used in multi-processor system-on-chip and network-on-chip. The interface, which is implemented by the circular FIFO with threshold gate, removes the synchronous clock from sender. It resolves the problems of high power consumption induced by clock signal and low reusability of IP cores. With the transmission mode combining both serial and parallel communication, data of different widths can be transferred from synchronous sender to asynchronous receiver rapidly. Since the distributed framework is utilized, the data transport channel is separated from the transfer control block, as the synchronizer and write/read pointer. In this way, the different reliability of the interface can be satisfied by the interface during changing the number of synchronizer stages. And various asynchronous transport protocols are supported gracefully by the interface. While the two-rail encoding transfer manner is selected, the transmission is quasi-delay insensitive and the data integrity is ensured. Based on SMIC 0.18 μm CMOS technology, simulation results of 3 stages FIFO have shown that the delay is 613ps with the average energy consumption of 3.05pJ for one transfer request responded, which can satisfy the requirements of high speed, low power, strong robustness and good reusability in the design of multiprocessor SoC and network-on-chip.

Key words high-speed low-power; quasi-delay insensitive; FIFO; synchronous to asynchronous; globally asynchronous locally synchronous

摘要 针对传统片上系统设计同步时钟引起的功耗大、IP核可重用性差等缺点,提出一种可用于多核片上系统和片上网络的快速延时无关同异步转换接口电路。接口由采用门限门的环形FIFO实现,移除了同步时钟,实现了数据从同步时钟模块到异步模块的高速传输,支持多种数据传输协议并保证数据在传输中延时无关。基于0.18 μm 标准CMOS工艺的Spice模型,对3级环形FIFO所构成的传输接口电路进行了仿真,传输接口的延时为613ps,每响应一个传输请求的平均能耗为3.05pJ/req,可满足多核片上系统和片上网络芯片速度高、功耗低、鲁棒性强和重用性好的设计要求。

关键词 高速低功耗;准延时无关;FIFO;同步转异步;全局异步局部同步

中图法分类号 TN402;TP331

收稿日期:2010-06-18;修回日期:2011-05-16

基金项目:国家自然科学基金项目(60725415,60971066);国家“八六三”高技术研究发展计划基金项目(2009AA01Z258,2009AA01Z260);

宽禁带半导体国家重点实验室基金项目(ZHD200904)

随着工艺尺寸的快速减小、芯片集成度的不断增加,全局异步局部同步(GALS)的设计思想已成为设计高速、低功耗大规模集成电路片上系统^[1](SoC)的有效方式.它集同步设计与异步设计的优势于一身,减小了由全局时钟信号引起的功耗并降低了设计复杂度,实现每个同步模块在自身时钟频率下运行的同时,异步模块也可采用合适的异步协议进行工作,保证全局低功耗^[2]的同时增强了IP核的可移植性和重用性,适用于多核片上系统特别是片上网络^[3](NoC)的设计.

实施GALS的设计思想^[4],关键在于同步模块和异步模块之间的传输接口.接口将同步模块发出的数据信息转换成适用于异步模块、符合异步传输协议的数据.文献[5-7]在同步模块和异步模块之间采用握手信号实现同异步传输,当同步模块和异步模块运行频率不同时,需要在模块之间加入延迟线及对同步器进行时钟拉紧来保证数据传输的完整性.此设计使同异步转化的速度过分依赖于模块之间的传输通道,吞吐量较低;且当发送模块或接收模块的时钟频率改变,需重新设计传输延时线,重用性较差.文献[8-9]借鉴FIFO的思想,并采用了顺序发生器和多路选择器:文献[8]的设计需比较FIFO的读写指针,降低了传输速度;文献[9]的设计无法支持多种异步传输协议,采用集成多个单一功能模块实现传输控制,设计复杂度较高.文献[10-11]虽使用FIFO设计同异步转换接口,但用作接口的FIFO无法支持多种异步数据传输协议,且在时钟频率和可靠性需求改变时,需重新对传输控制模块

的逻辑结构进行设计,可移植性不好.文献[12-14]用可停时钟进行设计,停止时钟易使依赖时钟进行数据刷新的RAM中数据丢失,且多核芯片中一个核的时钟停止后,当此核的时钟信号被释放时,需要重新对其他核传入的数据采样,容易出错.

本文的同异步转化接口通过一种环形结构的FIFO实现,在不改变发送端时钟频率的情况下,移除了同步时钟,完成了数据从同步模块到异步模块的快速完整传输.在设计中,将FIFO控制模块中的读/写指针和同步化模块分离,允许根据时钟频率和可靠性来选择同步器,使接口满足不同传输可靠性的要求;又将数据传输通路和传输控制模块分离,使接口FIFO使用串并结合的传输方式,可支持多种数据传输的异步通信协议和不同宽度的数据传输.

1 同步模块到异步模块数据传输接口的结构

如图1,同异步传输接口应用于同步模块与异步模块之间,不仅要完成数据的传输,更要避免因工作频率不同引起的传输亚稳态,本文作为通信接口的环形FIFO除了通过向同步发送端和异步接收端分别发送FIFOfull和FIFOempty信号告知整个FIFO的空/满状态,在传输过程中进行数据同步化,还包含了两种握手:一是FIFO各级之间的握手,它使得读/写指针在FIFO环中顺时针传递;二是每一级的传输通道和传输控制模块之间的握手,它使FIFO在数据传输时完成发送端数据模式到接收端数据模式的转换.

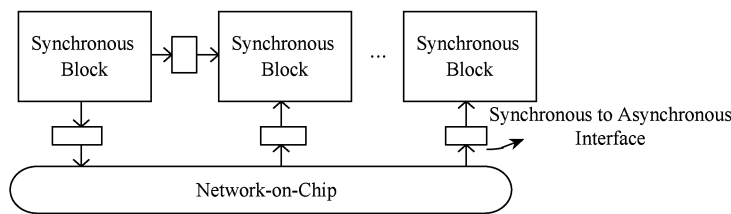


Fig. 1 Example of Network-on-Chip.

图1 片上网络示例

用作传输接口的FIFO由两个信号(读指针 pt_wr 、写指针 pt_rd)控制各FIFO级对数据的存储和发送,读/写指针以顺时针的方式在FIFO级中传递,FIFO各级随读/写指针的传递依次读/写数据.其工作方式为:仅在初始时刻将两个值为1的数据托肯(token)输入到最左侧的FIFO单元,其分别为

写指针和读指针.FIFO环中有且只有一个写指针和一个读指针,它们均顺时针在FIFO环中传递,传输轨迹为一个圆环,见图2.FIFO进行写操作时,写指针指向单元存储数据,数据存储结束后,写指针指向下一级单元,读操作类似.因此,FIFO级也按顺时针被依次使用,使用轨迹亦为环形,所以称本文

FIFO 为环形 FIFO。

图 3 为 3 级环形 FIFO 构成的同异步接口，其中传输控制模块 CELL 控制 FIFO 的读/写操作，协议转换模块和 REG 组成数据传输通路完成数据的传输。当控制模块中 wr_en 为高，则 FIFO 有空间，同步发送端可请求发送数据，置 req_put 为高电平，

$Data$ 经过编码模块被转换成与接收端数据传输协议相符的数据格式。时钟上升沿到来时，发送控制模块控制数据写入 REG 模块。相应，当异步接收端读数据时，置 req_get 为高，接收控制模块发出 $rreq$ 信号要求 REG 传数据到异步接收端，数据被接收后返回 $data_ack$ 信号到 FIFO。

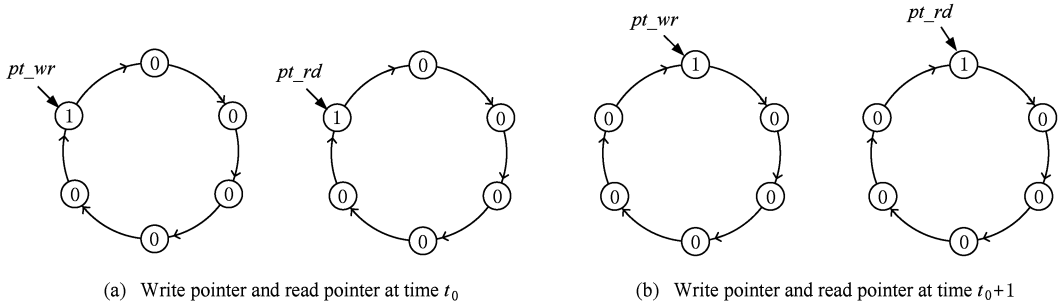


Fig. 2 The transfer track of write pointer and read pointer.

图 2 FIFO 环中读/写指针传递示意图

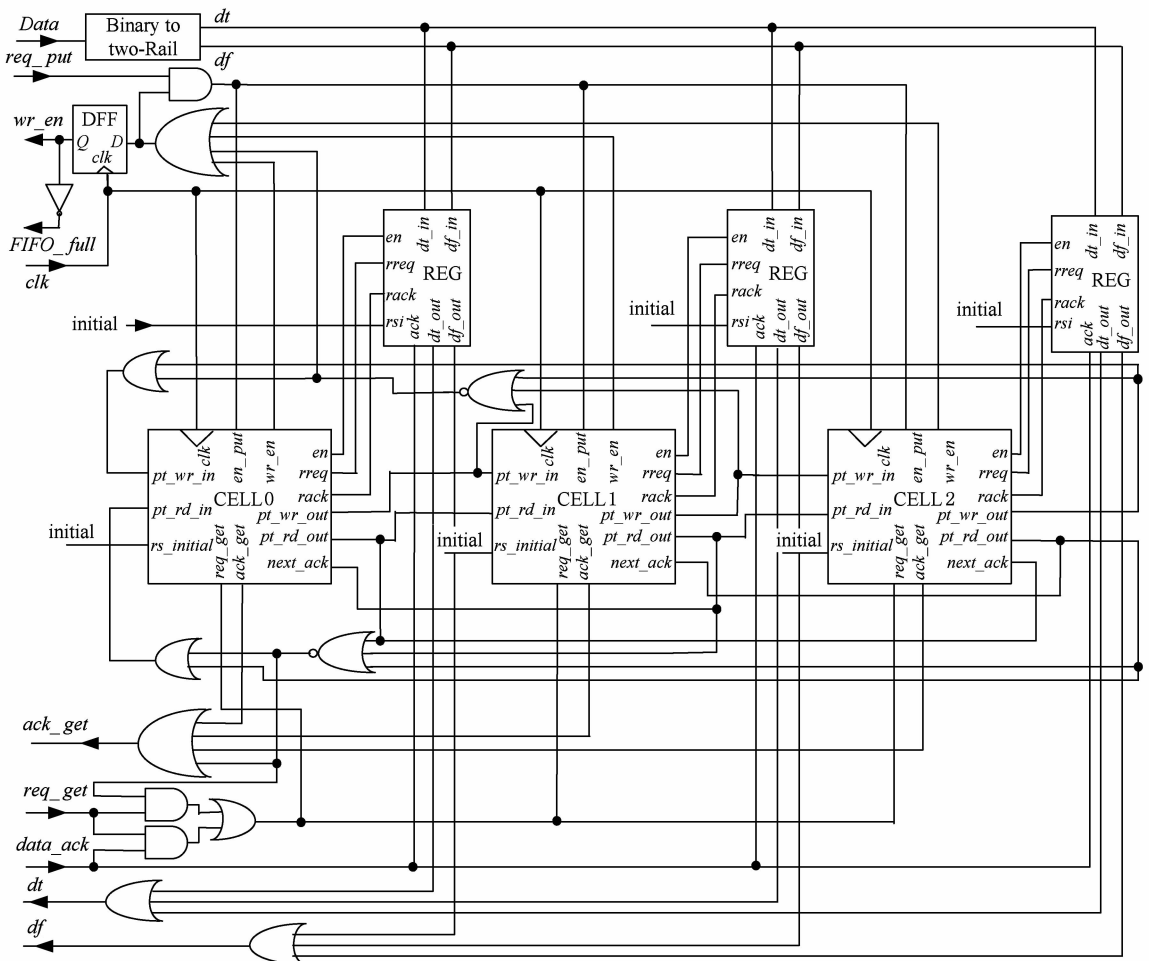


Fig. 3 Synchronous to asynchronous interface of 3 stages FIFO.

图 3 三级 FIFO 实现的同异步接口

2 FIFO 单元模块的结构

图 4 为 FIFO 的单元组成模块 FIFO 级,在设计中将其分为传输控制模块和数据传输通路两大部分,使关于数据传输的设计要求只通过数据传输通路的改变就能满足,保证了所设计 FIFO 体系结构

的稳定性.其中传输控制模块又分为发送控制模块、空满控制模块、接收控制模块 3 部分,这种功能块划分的设计方式使 FIFO 的读/写指针传递及同步化与空/满控制模块分离,在传输接口 FIFO 的可靠性需求改变时,只需改变同步器的同步化级数和 FIFO 级的个数就能达到要求,不会影响到接口 FIFO 的体系结构,提高了 FIFO 的可移植性.

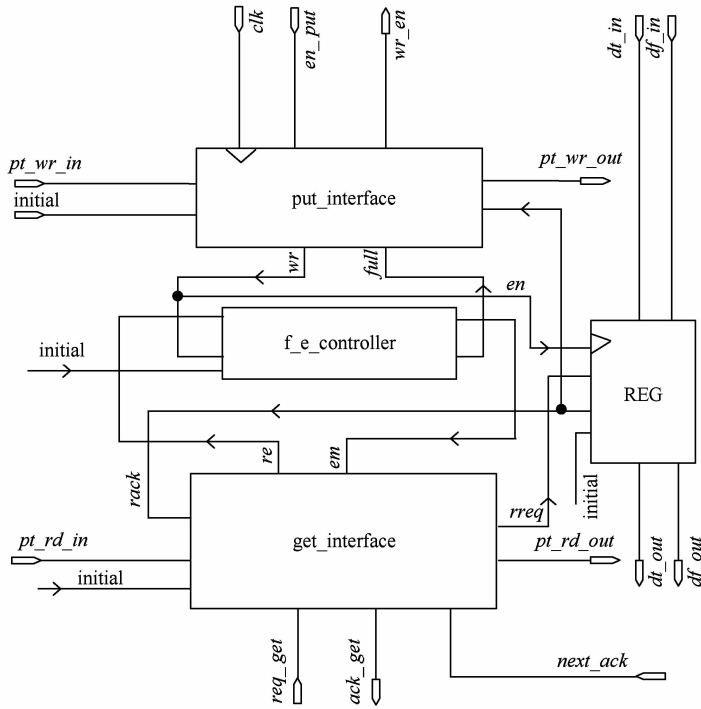


Fig. 4 A stage of FIFO.
图 4 FIFO 的一个级

2.1 FIFO 发送控制模块的电路实现

FIFO 发送控制端负责写指针的传递,控制数据写入传输通路,如图 5,由 D 触发器、同步器和门限门组成. D 触发器存储环路中写指针,同步器同步化读/写信号.当时钟上升沿到来, pt_wr_in 为高,若 req_put 信号也为高,发送端 Data 有效, FIFO 级置 wr 信号为高,发出 en 信号,允许本级的 REG 存储数据,完成 FIFO 的读操作.当下一个时钟沿到来时,写指针传到下一级,本级的使能信号释放,下一级进行写操作.图 5 中 SYN 为同步器,它同步化所需时间与时钟频率成反比^[5]. SYN 可根据所需的平均出错时间(MTBF)选择合适的全周期或半周期同步化级^[15],两个 D 触发器组成最简单的全周期同步器.设计时, FIFO 的级数 N_{stage} 必须满足: $N_{stage} \geq K_{syn} + 1$, K_{syn} 是同步器的级数. SYN 输出的信号、数据传输通路的 $rack$ 信号和 pt_wr_out 信号组成 wr

en 信号, wr_en 为高则同步发送端可向 FIFO 写数据,无需等待一个 FIFO 级完成读写周期,后一级就可进行读/写操作,提高了接口 FIFO 的工作效率.图 6 为 FIFO 发送控制端的波形示意图.

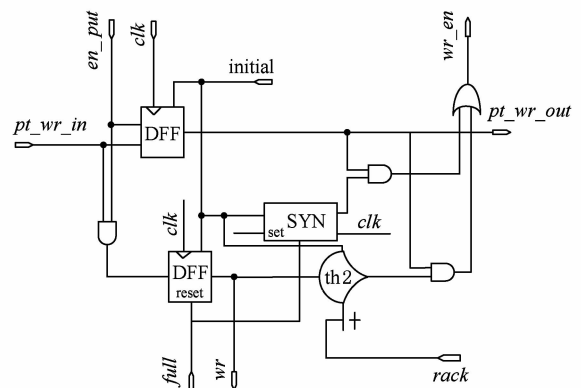


Fig. 5 Send controller.
图 5 发送控制模块

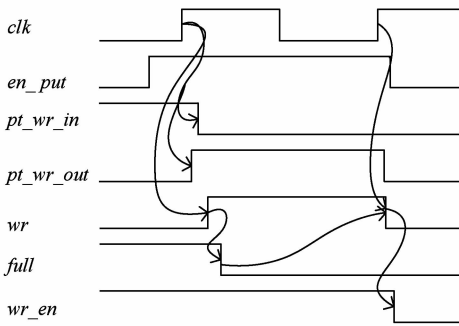


Fig. 6 Timing of send controller.

图 6 FIFO 发送端的时序示意图

2.2 FIFO 空满控制模块

传统 FIFO 的空、满控制是通过空/满指针检测 FIFO 传送数据的状态后,对空/满指针进行比较得出 FIFO 的空、满状态. 本文接口 FIFO 的空、满状态不是由空/满指针检测数据的存储状态后比较得出,而是直接由发送控制模块和接收控制模块中的 *wr* 和 *re* 信号触发 FIFO 级的空/满控制模块来确定,降低了 FIFO 的设计复杂度. 如图 7,电路初始化后,发送端写入数据,*wr* 信号为高,使 MUTEX 模块的 S 输入变高,*em* 信号置为高电平,允许异步接收端读数据. 待异步端完成读操作,*re* 信号升高,若此时输出控制模块的写指针传出,则 MUTEX 模块的 R 输入端为高,*full* 信号被置为高电平,经过 SYN 模块同步后输出 *wr_en* 信号,表示本级 FIFO 为空,可再次写入数据. 图 8 为空/满控制模块的时序示意图.

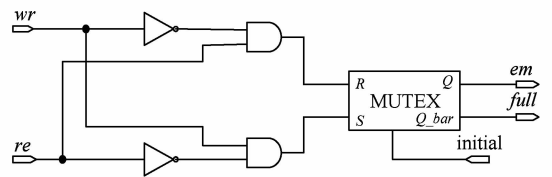


Fig. 7 Full-empty control block.

图 7 空满控制模块

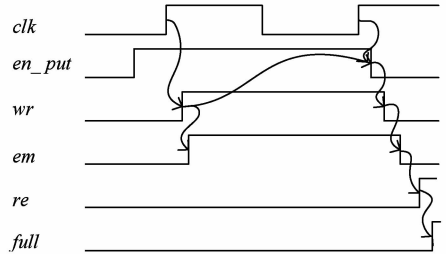


Fig. 8 Timing of full-empty control block.

图 8 空满控制模块的时序示意图

2.3 FIFO 接收控制模块的电路实现

接口 FIFO 的接收控制模块控制 FIFO 中的数据输出,由门限门、c 单元和部分组合逻辑门组成,见图 9. 当读指针到达接收控制模块,*req_get* 信号为高、且 *pt_rd_in* 为高时,*rreq* 信号被触发,REG 模块收到来自接收控制端的读信号,开始进行读操作. 待数据输出后,发出 *rack* 信号,告知接收控制模块数据已传到异步接收端. 当空/满控制模块发出的 *em* 信号和 REG 模块发出的 *rack* 信号都为高时,门限门 *th3* 开启,*pt_rd_out* 跳变到高电平,将读指针传出,同时发出 *ack_get* 信号, FIFO 级完成一个读/

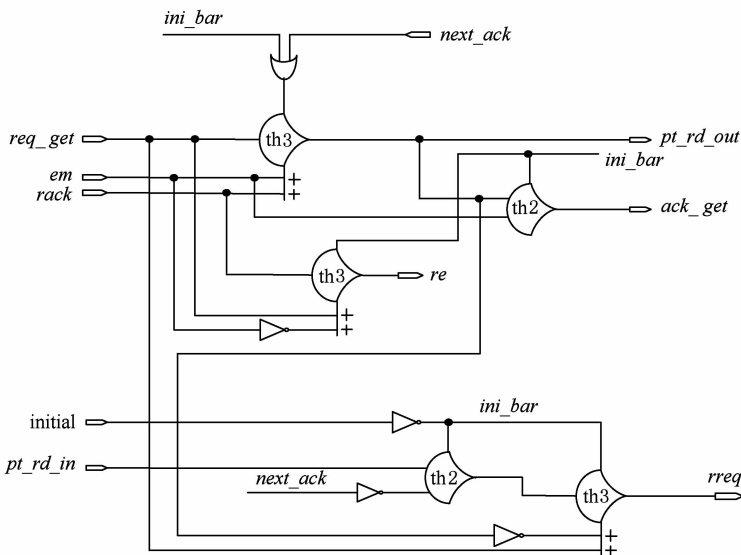


Fig. 9 Receive controller.

图 9 接收控制模块

写周期.

2.4 数据传输通路

数据传输通路由协议转换组合逻辑和传输模块 REG 组成,先通过高速组合逻辑完成数据的协议转换,使数据符合异步端的数据传输协议,再将转换后的数据送往存储模块,实现数据的传输.本文以二进制转双轨为例,设计了双轨延时无关数据传输通路,协议转换电路如图 10.数据被传送到 REG 模块后,它的存储和输出由读/写使能信号控制,详见图 11.当发送端写数据时,发送控制模块的 wr 信号升高,使 en 跳至高电平,数据被锁存,完成了 FIFO 的写操作.同时, wr 升高使 em 升高, em 信号传入接收控制模块,触发了 $rreq$ 信号, $rreq$ 信号开启 REG 模块中的第 2 级锁存,数据被读取,随后通过异步双轨流

水线被送入异步接收端,完成数据从同步模块到异步模块的传输. REG 完成数据的传输后发送确认信号 $rack$ 到接收控制端,证实数据被接收.

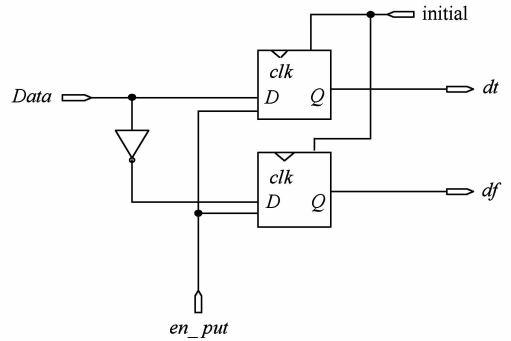


Fig. 10 Binary to two-rail.

图 10 二进制数据转异步双轨数据

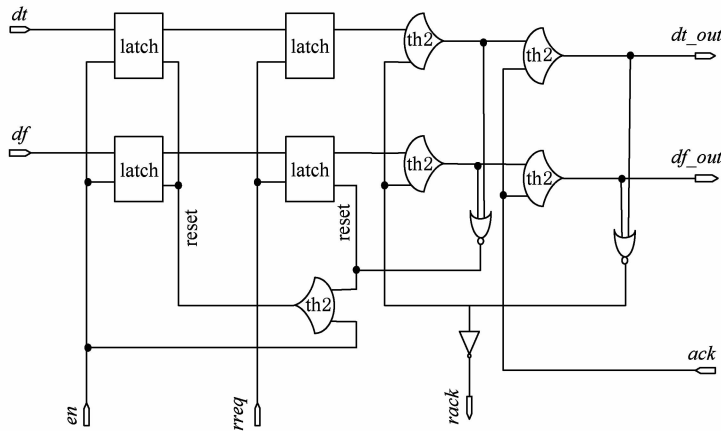


Fig. 11 data storage block of two-rail protocol.

图 11 双轨协议数据存储模块

3 仿真结果和分析

3.1 同步到异步接口的性能分析

基于 SMIC 0.18 μm 标准 CMOS 工艺 Spice 模型,在电源电压为 1.8 V 情况下,应用 Cadence Spectre 对本文所设计的接口进行了仿真实验验证.

首先,检验同异步传输接口的传输功能.以两个 D 触发器为全周期同步器设计的 3 级 FIFO 在同步发送端和异步接收端工作频率分别为“慢到快”、“快到慢”和接收端“阻塞”3 种情况下的读/写指针传递仿真波形图见图 12、图 13 和图 14.图中纵坐标表示数字信号的电压,摆幅为 0.1~1.9 V,本文中的仿真信号高电平为 1.8 V,低电平为 0 V;横坐标表示仿真时间,仿真总时长为 100 ns. pt_wr1 , pt_wr2 与 pt_wr3 表示写指针从左到右依次通过 FIFO 3 个级

时所对应的信号传递情况,相应 pt_rd1 , pt_rd2 和 pt_rd3 表示读指针从左到右依次通过 FIFO 3 个级时所对应信号变化情况.指针传递到哪一级,相应的表示信号随即升高,则此级可进行读或写操作.在“慢到快”时,接口的吞吐量主要由工作频率相对低的同步发送端决定.由于接收控制模块与异步接收端通过“握手”控制数据的接收,当接收频率远高于发送频率时,延时无关的异步端就会停止读数据,故不会发生读“空”现象.在“快到慢”的情况下,接口的工作状况和 FIFO 的深度有关,只要读数据的频率和 FIFO 深度相适合,读数速度不特别慢,发出的数据就会先逐级填满 FIFO,再一一送出.“阻塞”是“快到慢”的极端状况,FIFO 在满时停止写数据,写指针传输停驻,等待接收端接收,直到 FIFO 不满,写指针又开始传递,FIFO 又可读入数据.在后两种情况下,FIFO 可能被填满,如图 13,14,FIFOfull 信

号升高,使发送端暂时停止发送数据,直到 FIFO 又有空间,发送端重新开始发送数据.从图 12,13 与 14 的读/写指针传递情况可看出,在发送端与接收端频率可能存在的各种差异下,本文所设计的 FIFO 都可以良好运转,实现数据从同步端到异步端的稳定传输.

其次,测量了传输延时、关键路径和吞吐量等接口性能指标. FIFO 传输总延时为发送端发出数据到传输接口传出数据所耗费的时间.在采用 2 个 D 触发器形成的全周期同步器的情况下,表 1 是 FIFO 为 3 级和 6 级时的仿真结果,3 级 FIFO 的总延时为 613 ps,最大吞吐量为 1.22 GHz,周期为 4 ns 时平均

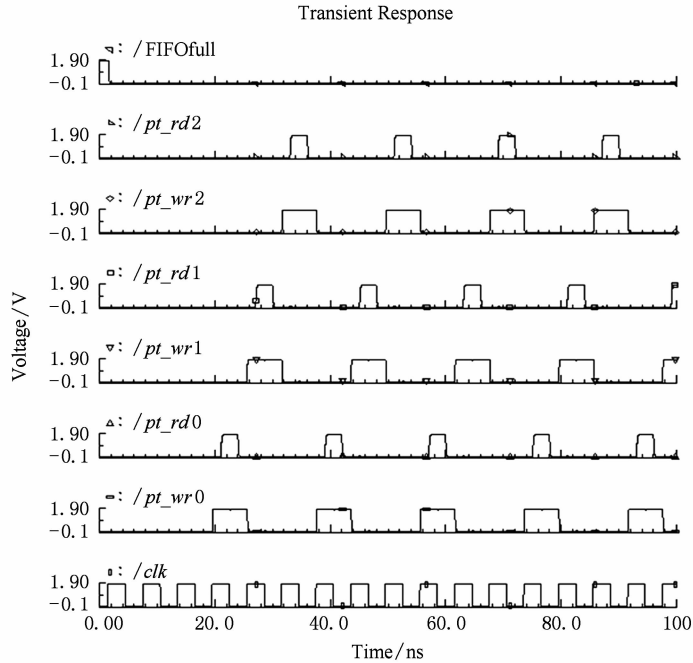


Fig. 12 Segment of simulation wave in the condition "slow-to-fast".

图 12 “慢到快”情况下的部分仿真波形

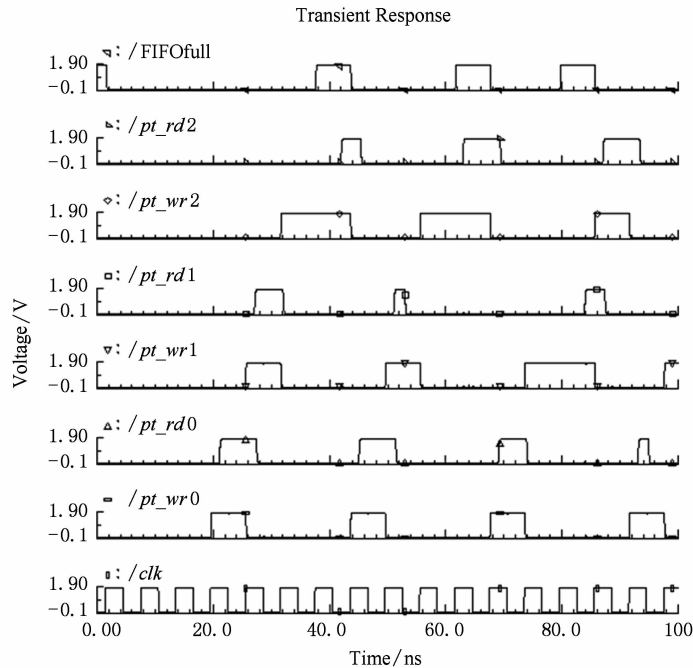


Fig. 13 Segment of simulation wave in the condition "fast-to-slow".

图 13 “快到慢”情况下的部分仿真波形

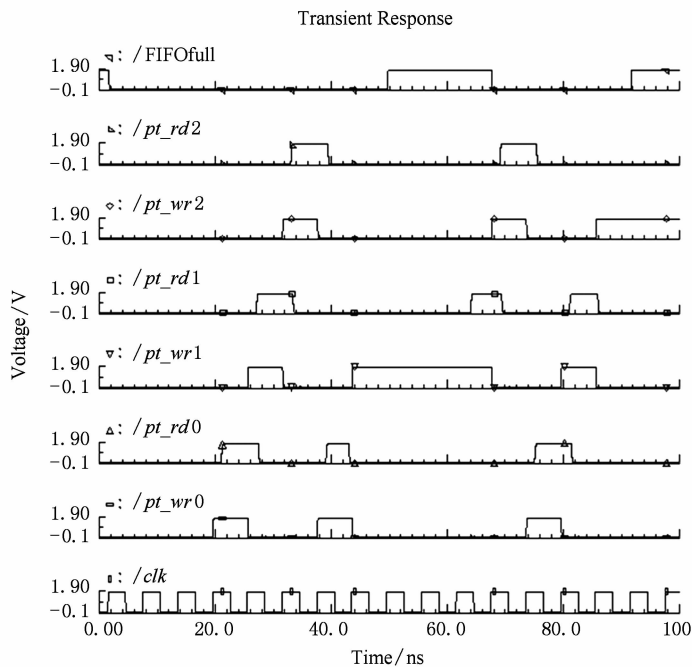


Fig. 14 Segment of simulation wave in the condition "blocking".

图 14 “阻塞”情况下的部分仿真波形

动态功耗为 1.52 mW, 每完成一个传输请求所需的功耗为 3.05 pJ/req. 由表 1 可以看出, 在 FIFO 深度增加的情况下, 可支持更高的发送时钟频率, 满足发

送端的每个时钟周期都能写入一个数据, FIFO 的吞吐量随之增加. 故可根据需求通过增加 FIFO 的级数或 SYN 的级数来提高接口的吞吐量和稳定性.

Table 1 Performance of FIFO with Different Depth

表 1 不同深度的 FIFO 的性能

| FIFO Stages | Latency/ps | Critical Path/ps | Throughput/GHz | Power Dissipation/mW |
|-------------|------------|--------------------------------------|----------------|----------------------|
| 3 | 613 | $\max(820, 548 + t_{\text{sender}})$ | 1.22 | 1.52 |
| 6 | 613 | $\max(820, 548 + t_{\text{sender}})$ | 2.07 | 3.58 |

表 2 为此 3 级 FIFO 构成的同异步传输接口与其他设计方法实现的同异步传输接口, 在总延时、吞

吐量、数据传输安全性和设计结构等方面的比较, 其中各个设计的仿真工艺条件皆与本文相同.

Table 2 Performance of Different Synchronous to Asynchronous Interface

表 2 不同同异步传输接口的性能比较

| Implementation Methods | Delay-Independent | Glitch | Latency/ps | Throughput/GHz | Energy Consumption ^① /mJ | Architecture |
|------------------------|-------------------|--------|------------|----------------|-------------------------------------|------------------|
| Proposed | Yes | None | 613 | 1.22 | 3.05 | FIFO |
| Interface in Ref[16] | No | Have | 909 | 1.10 | 3.33 | Stoppable clocks |
| Interface in Ref[17] | No | None | 1210 | 0.83 | 2.30 | Stoppable clocks |

① Energy consumption per one giga data transport

本文采用了环形 FIFO 设计同异步转换接口, 并应用双轨传输协议进行数据传输, 消除了尖峰脉冲, 使数据传输延时无关, 接口具有较强的鲁棒性. 从上文的仿真结果可以看出, 本文接口在发送端和接收端时钟频率改变时仍可良好运行, 无需进行任何改动, 且传输通道的设计不会影响整个接口的工

作, 这相比于文献[5-7]的设计方法, 在可重用性方面具有一定优势, 又本文设计无需拉紧时钟, 在增加了设计的鲁棒性的同时节省了时钟拉紧所耗时间. 因为本文接口采用数据传输通道和传输控制模块分离, 同步化模块与读/写指针传递相分离的设计, 使得本文设计可支持多种异步传输协议, 可选择更适

合的协议获得更大的吞吐量;亦可在保持接口体系结构的情况下,根据传输可靠性的不同来选择同步化的级数以达到更好的可靠性。所以在此两方面,本文设计在可重用性和传输可靠性方面都优于文献[5-14]。又由于本文设计无需比较读/写指针,又可支持不同宽度的数据传输,在设计上分别省去了文献[8]的读/写指针比较模块和文献[9]中的串化和解串模块,减小了设计复杂度,降低了功耗,缩短了传输延时。文献[12-14]为采用可停时钟设计,若在数据传输过程中停止时钟,接收端的工作时钟被停止,可能会导致接收端存储器中的数据丢失;且时钟恢复后对数据的重采样亦需耗费时间,可能引起数据的传输错误,本文的设计也避免了这一问题。可见,本文环形结构的 FIFO 设计,在保证通信质量的前提下可通过选用优良的传输协议获得更大的吞吐量。此外,本文设计在数据传输停驻时,参与数据传输的电路部分由于控制信号低电平,将被挂起呈保持状态,不会随时钟信号的翻转而翻转,从而降低动

态功耗,满足低功耗的设计。以传输 1.0 Gb 数据为例,测算了各个设计传输相同数据量所消耗的能量。文献[17]采用 1/4 编码方式,由于本文设计可支持多种编码方式,为了更好地比较,已将本文设计中数据传输通路用 1/4 编码方式进行设计,得出所设计接口传输 1.0 Gb 数据消耗能量为 2.21 mJ,略优于文献[17]。可见,本文设计在取得较好吞吐量的同时也具有较低的功耗。

最后,为了更精确地测量和验证本文的设计,在 SMIC 0.18 μm 1P6M 下应用 Virtuso 进行了接口的版图设计,结果如图 15 所示,面积为 49 577 μm^2 。通过对版图提取寄生参数,并在 27 $^{\circ}\text{C}$ 时进行仿真,得出本文接口的延时为 927 ps,虽比布局布线前的仿真延时增加了 48%,但仍然能够快速完整地传输数据。由于在数字电路设计中,流片后测试结果与版图设计后仿真结果相差不大,故本文设计可应用于片上同异步模块间的数据传输。



Fig. 15 The layout of 3 stages FIFO as synchronous-asynchronous interface.

图 15 3 级环形 FIFO 构成的同异步接口版图设计

4 结 语

本文提出了一种同步模块到异步模块的数据传输接口电路,仿真结果证明,本文的设计不仅使吞吐量、延迟和功耗等接口的性能指标得到了提高,而且所设计的环形 FIFO 也使传输接口得到了结构层次上的优化。环形 FIFO 中数据传输通路与 FIFO 控制模块分离,增强了传输接口对异步传输协议的兼容性;控制模块中的空/满控制逻辑和同步器的分离,使得不需要改变设计的体系结构,就可根据可靠性的不同要求灵活地选择同步器的级数,从而增强了本文同异步接口的可重用性和可移植性。又由于本文接口的基础为 FIFO,所以可通过增加 FIFO 的级数获得更大的吞吐量。故本文设计具有高速低功耗、鲁棒性强、重用性好等特点。

参 考 文 献

- [1] Shin J L, Tam K. A 40nm 16-core 128-thread CMT SPARC SoC processor [C] //Proc of 2010 IEEE Int Conf on Solid-State Circuits (ISSCC). Piscataway, NJ: IEEE, 2010: 98-99
- [2] Clermidy F, Bernard C. A 477mW NoC-based digital baseband for MIMO 4G SDR [C] //Proc of 2010 IEEE Int Conf on Solid-State Circuits (ISSCC). Piscataway, NJ: IEEE, 2010: 278-279
- [3] Howard J, Dighe S. A 48-core 1A-32 message-passing processor with DVFS in 45nm CMOS [C] //Proc of 2010 IEEE Int Conf on Solid-State Circuits (ISSCC). Piscataway, NJ: IEEE, 2010: 108-109
- [4] Hemani A, Meincke T, Kumar S, et al. Lowering power consumption in clock by using globally asynchronous, locally synchronous design style [C] //Proc of the 1999 Design Automation Conf. New York: ACM, 1999: 873-878

- [5] Kenniment David J. Synchronization and Arbitration in Digital Systems [M]. New York: Wiley, 2008; 14-38
- [6] Moore S W, Taylor G S, Cunningham P A, et al. Using stoppable clocks to safely interface asynchronous and synchronous subsystems [C] //Proc of AINT2000. Piscataway, NJ; IEEE, 2000; 19-20
- [7] Moore S W, Taylor G S, Cunningham P A, et al. Point to point GALS interconnect [C] //Proc of the 8th Symp on Asynchronous Circuits and Systems. Piscataway, NJ; IEEE, 2002; 769-775
- [8] Shebanyrad A, Greiner A. Two efficient synchronous asynchronous converters well-suited for network-on-chip in GALS architectures [J]. Integration, the VLSI Journal, 2008, 41; 17-26
- [9] Ogg S, Valli E, Al-Hashimi B, et al. Serialized asynchronous links for NoC [C] //Proc of the Conf on Design, Automation and Test in Europe. New York; ACM, 2008; 1003-1008
- [10] Tiberiu Chelcea, Steven M Nowick. Robust interface for mixed-timing systems [J]. IEEE Trans on Very Large Scale Integration (VLSI) Systems, 2004, 12(8): 857-873
- [11] Xu Yangyang, Zhou Duan, Yang Yintang. Unsymmetrical interface design in GALS [J]. Journal of Xidian University: Natural Science, 2007, 34(2): 294-297 (in Chinese)
(徐阳扬, 周端, 杨银堂. 非对称 GALS 系统异步接口设计 [J]. 西安电子科技大学学报: 自然科学版, 2007, 34(2): 294-297
- [12] Chapiro D M. Globally-asynchronous locally-synchronous systems [D]. Stanford; Stanford University, 1984; 9-20
- [13] Muttersbach J, Villiger T, Fichtner W, et al. Practical design of globally-asynchronous, locally-synchronous systems [C] //Proc of the 6th Int Symp on Asynchronous Circuits and Systems. Piscataway, NJ; IEEE, 2000; 52-59
- [14] Yun K Y, Dooply A E. Pausible clocking based heterogeneous systems [J]. IEEE Trans on VLSI Systems, 1999, 7(4): 482-488
- [15] Clifford E, Cummings. Synthesis and scripting techniques for designing multi-asynchronous clock designs [C] //Proc of the Synopsys Users Group Conf. Boston; SNUG, 2001; 16-20
- [16] De Clercq M, Negulescu R, et al. 1.1-GD/s transmission between pausable clock domains [C] //Proc of IEEE Int Symp on Circuits and Systems (ISCAS). Piscataway, NJ; IEEE, 2002; 768-771
- [17] Adhir Upadhyay, Syed Rafay Hasan, Mohamed Nekili, et al. A novel asynchronous wrapper using 1-of-4 data encoding and single-track hand-shaking [C] //Proc of the 2nd Annual

IEEE Northeast Workshop on Circuits and Systems (NEWCAS). Piscataway, NJ; IEEE, 2004; 205-208



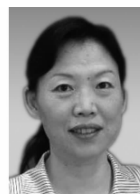
Peng Yao, born in 1984. Received her BSc degree in communication engineering from Beijing Electronics Technology and Science Institute, Beijing, China, in 2005, and received her MSc degree in microelectronics and solid state electronics from Xidian University, Xi'an, China, in 2008. She is currently PhD candidate in the School of Microelectronics, Xidian University, China. Student member of IEEE. Her main research interests include asynchronous circuits design, network-on-chip and VLSI design.



Yang Yintang, born in 1962. Received his BSc and MSc degrees in microelectronics and solid state electronics from Xidian University, Xi'an China in 1982 and 1984, respectively, and received his PhD degree from Xi'an Jiaotong University in 1999. currently professor of Xidian University. His main research interests include VLSI technology, new semiconductor materials and devices, and microelectronics reliability technology.



Zhu Zhangming, born in 1978. Received his BSc and PhD degrees in microelectronics and solid state electronics from Xidian University, Xi'an, China, in 2000 and 2004, respectively. He is currently professor of Xidian University. His main research interests include high performance system-on-chip/network-on-chip architecture, VLSI technology.



Zhou Duan, born in 1957. Received her BSc degree in microelectronics and solid state electronics from Xidian University, Xi'an, China, in 1982. Then she received her MSc and PhD degrees from Xidian University. She is currently professor of Xidian University. Her main research interests include digital circuit design, and low power circuit design.