

小波滤波器低功耗并行的 VLSI 结构设计

兰旭光 郑南宁 薛建儒 王 飞 刘跃虎

(西安交通大学人工智能与机器人研究所 西安 710049)

(xgfan@aiar.xjtu.edu.cn)

Low-Power and High-Speed VLSI Architecture Design of 2-D DWT/IDWT

Lan Xuguang, Zheng Nanning, Xue Jianru, Wang Fei, and Liu Yuehu

(Institute of Artificial Intelligence and Robotics, Xi'an Jiaotong University, Xi'an 710049)

Abstract A low-power, high-speed and minimum-area architecture which performs two-dimension discrete wavelet transform (2-D DWT) of JPEG2000 is proposed by using a line-based and lifting scheme. The architecture consists of one row processor and one column processor. The row processor, which is time-multiplexed, computes in parallel with the column processor, and two pixels can be encoded in one clock cycle. The extensions at the boundaries are implemented by an embedded circuit, and the memory is minimized. The whole architecture, which is optimized in pipelined way to speed up and achieve higher hardware utilization, has been implemented in FPGA, and can be used as a compact and independent IP core for JPEG2000 VLSI implementation.

Key words 2D discrete wavelet transform; VLSI; JPEG2000; parallel architecture; lifting schemes; line-based;

摘 要 提出一种基于行和提升算法,实现 JPEG2000 编码系统中的小波正反变换(discrete wavelet transform)的低功耗、并行的 VLSI 结构设计方法。利用该方法所得结构一次处理两行数据,分时复用行处理器,使行处理器内以及行、列处理器实现并行处理,且最小化行缓存。对称扩展通过嵌入式电路实现,整个结构采用流水线设计方法优化,加快了变换速度,增加了硬件资源利用率,降低了功耗,效率几乎达到 100%。小波滤波器正反变换结构已经经过 FPGA 验证,可作为单独的 IP 核应用于正在开发的 JPEG2000 图像编解码芯片中。

关键词 二维离散小波变换; VLSI; JPEG2000; 并行结构; 提升方法; 基于行

中图法分类号 TN406; TP391.41

1 引 言

JPEG2000 作为新一代图像压缩标准^[1~3],具有很多优良特性:支持按质量和分辨率渐进传输,ROI(region of interest)编码等,它是基于小波变换(DWT)的图像压缩编码系统。JPEG2000 推荐用提升^[4,5](lifting)算法来实现小波变换,包括 5/3 和 9/7

滤波器。这种算法的计算复杂度相对于标准卷积算法减少了约一半(对 D9/7 达到 64%)。

对于二维图像的小波变换,一般处理方法是直接法^[6]和卷积算法,即先对图像的行(列)进行滤波变换,再存储行(列)处理的中间结果,然后进行列(行)滤波变换,这需要 $N^2/2$ 存储空间,增加了计算量和硬件消耗。而基于行^[7~11]的滤波结构可以最小化片上存储,文献[7]基于提升和行的方法提出实现

小波反变换的硬件结构,由两个行处理器和一个列处理器组成,这种方法处理速度快,控制逻辑简单,一次处理两行数据,但是,两个并行的行处理器增大了硬件开销.文献[8]提出的基于提升算法的结构由两个行处理器和两个列处理器以及两个 Memory 模块组成,但一次只能处理一行数据,而且控制逻辑复杂.文献[11]提出的行列并行处理的小波滤波器结构,所用的行缓存是 $11 \times N$,虽然控制逻辑简单,但是速度不高,一次只能处理一行数据.

本文提出一种新的低功耗、并行处理的二维离散小波滤波变换的 VLSI 实现结构,其中,二维离散小波变换(DWT)用于 JPEG2000 中 9/7 和 5/3 滤波器的提升实现.该结构由一个行处理器和一个列处理器组成,采用基于行的变换方式和最高分解级数为 5 的 Mallat^[12]分解结构,边界对称扩展处理^[1]利用嵌入式电路实现.列处理器中用的少量行缓存将在芯片内部用一读写的双端口同步 SRAM 实现.一次输入两行,复用行处理器,实现行滤波器内以及

行、列滤波器的并行计算,在整个结构设计中采用流水线优化处理,效率几乎达到 100%.该结构控制逻辑简单,可实时小波分解,所用的时钟周期数是 $O(N^2/2)$, N 为图像宽度.

2 提升算法简介

提升算法的基本原理^[4]是利用欧几里德算法把滤波器多相矩阵分为多个三角阵相乘,这样通过矩阵的乘法来实现滤波.图 1 给出了一维信号的小波正反变换用提升算法实现的示意图,主要有 4 步:

- (1) 信号抽样为奇数点和偶数点,这是因为相邻元素才有最大的相关性,便于下一步实现预测.
- (2) 预测.偶数抽样点乘以时间域信号 $t(z)$, 加到奇数抽样点,来预测奇数抽样点.
- (3) 更新.更新过的奇数抽样点乘以时间域信号 $s(z)$,加到偶数抽样点,来更新偶数抽样点.
- (4) 伸缩.偶数点乘以 $1/K$,奇数点乘以 K .

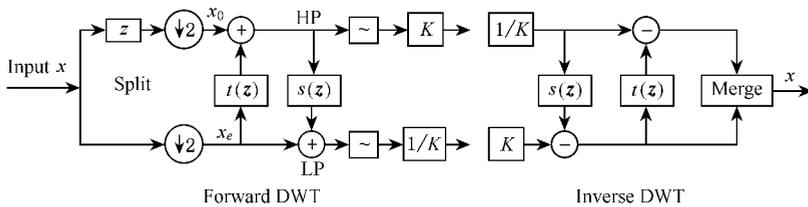


Fig. 1 Lifting schemes.

图 1 提升算法

从图 1 还可以看出,小波逆变换正好和正变换对称,实现起来相当方便.

JPEG2000 标准中的一组双正交小波滤波器——DAUBECHIES 9/7——分解为提升方法,实现如下^[11]:

(1) 正变换

Step1. $Y(2n+1) = X_{ext}(2n+1) + \alpha \times (X_{ext}(2n) + X_{ext}(2n+2))$, $i_0 - 3 \leq 2n+1 < i_1 + 3$;

Step2. $Y(2n) = X_{ext}(2n) + \beta \times (Y(2n-1) +$

$Y(2n+1))$, $i_0 - 2 \leq 2n < i_1 + 2$;

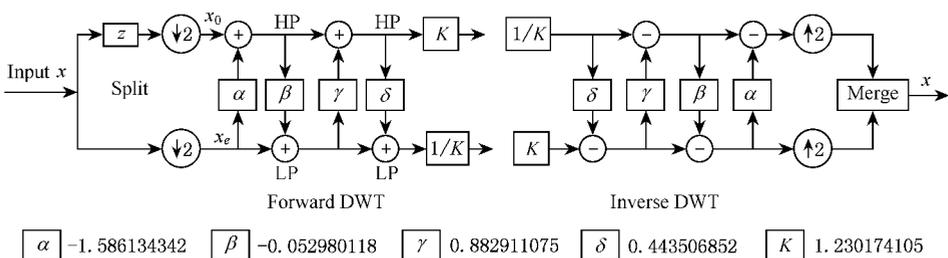
Step3. $Y(2n+1) = Y(2n+1) + \gamma \times (Y(2n) + Y(2n+2))$, $i_0 - 1 \leq 2n+1 < i_1 + 1$;

Step4. $Y(2n) = Y(2n) + \delta \times (Y(2n-1) + Y(2n+1))$, $i_0 \leq 2n < i_1$;

Step5. $Y(2n+1) = -K \times Y(2n+1)$, $i_0 \leq 2n+1 < i_1$;

Step6. $Y(2n) = Y(2n) / K$, $i_0 \leq 2n < i_1$.

其中 i_0 ($i_1 - 1$) 分别表示输入一行(或列)数



α -1.586134342 β -0.052980118 γ 0.882911075 δ 0.443506852 K 1.230174105

Fig. 2 Lifting implementation of Daubechies 9/7.

图 2 Daubechies 9/7 提升实现

据的开始索引和最后索引. 图 2 给出了一维信号用提升算法实现小波正反变换的示意图.

3 把乘法操作优化为移位加操作

由于乘法器占用很大的硬件资源,不利于芯片实现,且鉴于小波滤波器的系数是固定的,我们把乘法操作优化为移位寄存器和加法器操作,首先把滤波器小波系数量化为二进制数,方法同文献[11],如

$$\gamma = (0.882911075)_{10} = (0.1110001)_2;$$

然后提取最小公共因子,即最小移位数,则有:

$$\gamma \times Num = (Num + Num \gg 1 + Num \gg 2 + Num \gg 6) \gg 1;$$

这样就把乘法操作优化为移位加操作,其他系数均做同样的处理. 在我们设计的 VLSI 结构中,采用 24 位定点数进行运算,后 13 位为小数.

4 二维 DWT 的并行体系结构

图 3 表示二维离散小波变换的并行体系结构,输入两行图像数据先经过控制单元、行处理器、列处理器,以及地址生成器,最后将输出的小波分解系数写入存储器. 不同于协议的是,我们先进行行方向的滤波变换,然后进行列方向的滤波变换,这主要是考虑到图像采集设备扫描模式一般是基于行的. 控制单元是根据当前分解级数和所要求的小波分解级数来判断是否进行下一级小波分解,并且控制变换输入的数据是从原始图像读取,还是从低通滤波结果 LL 子带中读取数据.

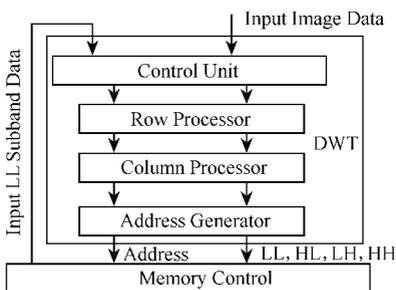


Fig. 3 VLSI architecture of 2-D DWT.

图 3 二维 DWT 体系结构

对于行处理器,分时复用行处理器,一次计算 2 行数据. 这样不但使得列处理器用的行缓存数大大减少,对于 9/7 小波仅用 6 条,5/3 小波仅用 3 条,而且使该结构的计算速度提高了一倍. 图像数据经过列处理器,一个时钟输出为 2 个数据,地址生成器根

据列处理器输出结果产生分配地址,并把当前小波分解的系数写入存储模块. 按此体系结构,可以使行和列方向内的高通滤波和低通滤波并行化以及使行、列方向的滤波变换并行化.

4.1 嵌入式边界对称扩展

信号长度的有限性导致了小波滤波器处理信号有边界效应^[13],为了消除小波重构图像的边界效应 JPEG2000 标准中用信号的对称扩展法. 由于对称扩展的点和原图像数据计算相同,我们把信号的扩展处理嵌入到行、列处理器内部. 例如在图 4 中的 Step1 中前端扩展的点 4,3,2,1 并没有被计算;在 Step2 中,在计算点 0 时,要用到 Step1 中已更新的点 1,这时,我们仅利用多路选择器为加法器的两个输入端选择与已更新的点 1 相同的值而已,而并没有计算扩展点中的点 1.

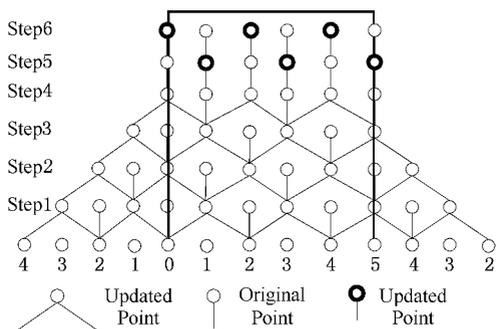


Fig. 4 Embedded implementation of symmetric extension.

图 4 9/7 边界对称扩展嵌入式实现

实现时利用有限状态机(FSM),通过多路选择器实现. 这样大大简化硬件电路的规模,降低了功耗,见图 5,6,7. 有限状态机分 4 个状态:闲置状态 IDLE、前端扩展状态、一般状态(非扩展状态),以及后端扩展状态. 这些状态的触发信号是根据图像数据的行使能信号产生的. 前端扩展状态产生两个前端扩展信号是 ext_en1,ext_en2,用于控制行和列处理器中的 β 和 δ 模块中的前端扩展多路选择器;后端扩展状态产生 ext_en3,ext_en4,用于控制 α 和 γ 模块中的后端扩展多路选择器,见表 2.

Table 1 Control Signal of Extension at the Boundaries

表 1 前后端扩展的控制信号

Enable-wire	IDLE	First-ext	Normal	Last-ext
ext_en1	0	1	0	0
ext_en2	0	1	0	0
ext_en3	0	0	0	1
ext_en4	0	0	0	1

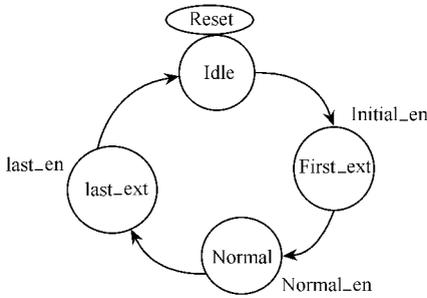


Fig. 5 State switch of finite state machine.

图5 边界对称扩展的有限状态转换图

4.2 复用的行处理器结构

为了减少行缓存以及加快硬件电路的处理速度,我们一次输入两行,就是一个时钟输入两个像素.输入时,每一行图像数据不分奇偶点,连续输入,这样可以分时复用行处理器中的硬件资源中的所有加法器和寄存器,见图6.同每一行输入时就分奇偶点的行处理器结构^[7]相比(这种结构需要两个并行的行处理器),我们的行处理器多使用几个延迟寄存器,却复用了行处理器的主要资源,就是用—个处理器处理两行数据,相比而言,还是大大减少了硬件资源,增加了硬件利用率.行处理器结构如图6所示, α 和 γ 滤波完全相同,我们用图6(a)表示, β 和 δ 滤波完全相同,我们用图6(b)表示.

行处理器首先把两行图像数据送入 α 滤波,利用延迟寄存器把每一行的偶数点相加然后与滤波器系数相乘(优化为移位加操作),再与奇数点相加,最

后利用寄存器实现流水线处理,在奇数时钟计算偶数行,在偶数时钟计算奇数行.接着把前一滤波的输出作为后—滤波的输入,依次地进入 β, γ, δ 滤波,处理方法与 α 滤波相同.在 δ 滤波输出时,每一行的偶数点和奇数点分别乘以系数 $1/K$ 和 K ,这样就完成了图像数据的行方向的滤波.其中扩展控制信号对 α 和 γ 滤波分别是 ext_en3, ext_en4 ;对 β 和 δ 滤波分别是 ext_en1, ext_en2 .

表2给出了 α 滤波的时序, $X_{0,2}$ 表示第1行的第3个点, $SA1$ 的下标 $0,1$ 分别表示输入的第1,2行, $SA1$ 表示小波滤波器系数与上一时钟和的乘积,如在 $clock4, SA1_{-0} = \alpha \times (X_{0,2} + X_{0,0})$,在 $clock5, SA1_{-1} = \alpha \times (X_{1,2} + X_{1,0})$.这样我们就分时复用了 α 滤波的硬件资源,在奇数时钟计算输入的偶数行,而在偶数时钟计算输入的奇数行,这里用的控制信号是通过计数器产生的 sel_en ,通过这个信号来选择加法器的输入.用流水线的设计方法优化行处理器,随着数据的连续输入,行滤波器连续处理,这样可以充分利用硬件,利用率可达到100%,而且控制非常简单,只是利用几个延迟寄存器(DFF)即可实现滤波的连续处理.

从结构图6中可以看到, $D9/7$ 双正交小波滤波器的行滤波器只需要8个加法器和4个移位加操作就可以实现.由于移位寄存器可以用线与组合逻辑来实现,所以移位寄存器基本上没有增加硬件的开销.与传统方法相比,此结构极大地减小了硬件的

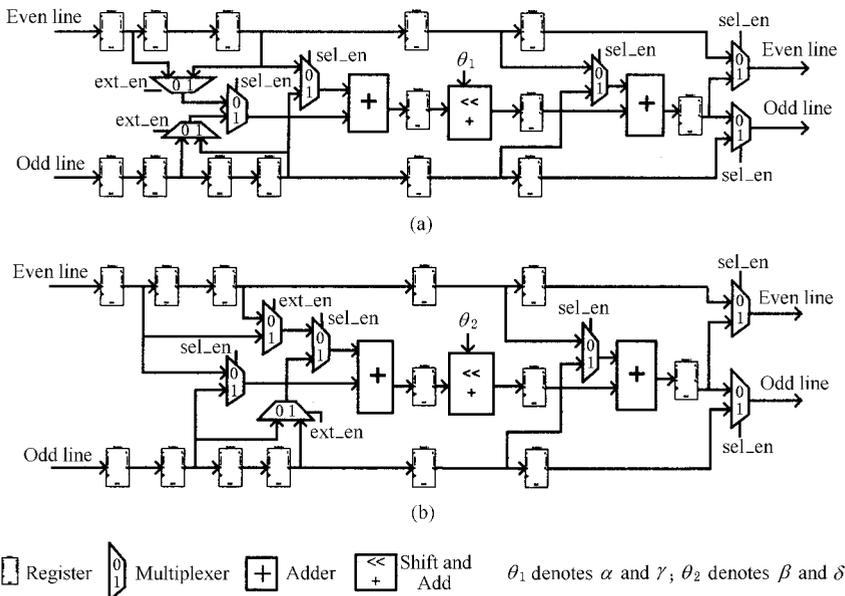


Fig. 6 Architecture of row processor. (a) Update odd samples, α and γ filters and (b) Update even samples, β and δ filters.

图6 行处理器结构.(a)更新奇数点, α 和 γ 滤波(α 和 γ 滤波类似,同一图表示);

(b)更新偶数点, β 和 δ 滤波(β 和 δ 滤波类似,同一图表示)

开销和结构的复杂度(无乘法器).

Table 2 Schedule of α Filter
表 2 滤波的时序表

Clock	α Filter		
	Adder	Shift Adder	Adder
1	$X_{0,0}$		
2			
3	$X_{0,2} + X_{0,0}$		
4	$X_{1,2} + X_{1,0}$	SA1-0	
5	$X_{0,4} + X_{0,2}$	SA1-1	SA1-0 + $X_{0,4}$
6	$X_{1,4} + X_{1,2}$	SA2-0	SA1-1 + $X_{1,4}$
7	$X_{0,6} + X_{0,4}$	SA2-1	SA2-0 + $X_{0,6}$
8	$X_{1,6} + X_{1,4}$	SA3-0	SA2-1 + $X_{1,6}$

4.3 列处理器的结构

列处理器结构的设计与行滤波阶段有所不同,这是因为列滤波器处理的数据是来自行滤波后的结果.我们用行缓存取代行处理器中的寄存器,行缓存作用是存储列处理器所需的数据,见图 7.由于我们分时复用了行处理器,一次处理两行,所以列处理器的输入是偶数行和奇数行,也就是说,对于列处理器,像素值在列方向自然分为偶数点和奇数点,这样就简化了列处理器的设计,且减少了行缓存的数目.在本结构中,行缓存的数目对 9/7 是 6 条,对 5/3 只需 3 条.这里行缓存的作用相当于 FIFO 的功能,先入先出,大小为图像宽度 $Width \times N$, N 表示小波系数位宽,与图像高度无关.

列处理器是在行处理器计算完第 1 个偶数行和

奇数行数据以后开始处理的,输入两行像素先经过滤波,输出偶数行和奇数行,再依次送入 β, γ, δ 滤波,其中 α 和 γ 滤波完全相同, β 和 δ 滤波完全相同.在 δ 滤波输出奇数行和偶数行时,每一行的偶数点和奇数点分别乘以系数 $1/K$ 和 K ,这样就完成了图像数据的列方向的滤波.同行处理器一样,我们也用流水线的设计方法优化,提高其处理速度.

列处理器计算时序,见表 3.对于滤波, clock2 开始计算 $X_{2,0} + X_{0,0}$; clock3 : $SA1 = \alpha \times (X_{2,0} + X_{0,0})$; clock4 : 计算 $SA1 + X_{1,0}$. β, γ, δ 滤波同 α 滤波时序相同.列处理器的输出也是,一个时钟两个数据,分别是 LL, LH, 或者是 HL, HH. 根据输出数据,产生相应的地址,写入存储器中.

Table 3 Schedule of α Filter
表 3 滤波的时序表

Clock	α Filter		
	Adder	Shift Adder	Adder
1	$X_{0,0}$		
2	$X_{2,0} + X_{0,0}$		
3	$X_{2,4} + X_{0,4}$	SA1	
4	$X_{2,2} + X_{0,2}$	SA2	SA1 + $X_{1,0}$
5	$X_{2,3} + X_{0,3}$	SA3	SA2 + $X_{1,4}$
6	$X_{2,4} + X_{0,4}$	SA4	SA3 + $X_{1,2}$

从结构图 7 中可以看出,列处理器仅需要 8 个加法器和 4 个移位加操作,且列滤波和行滤波是并行处理(列滤波仅滞后行滤波处理一行数据的时钟数)加快了处理速度.

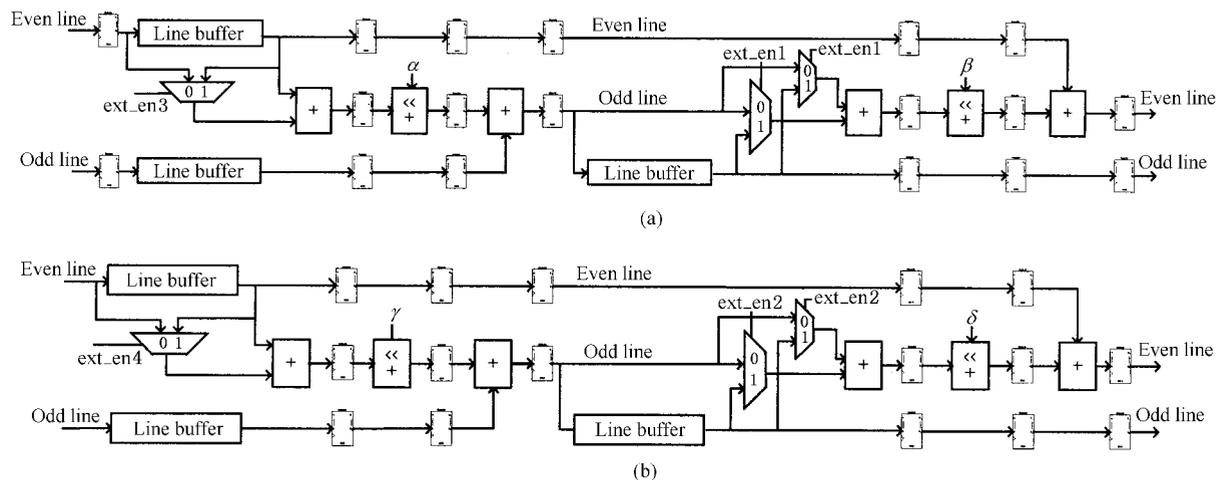


Fig. 7 Architecture of column processor. (a) Update odd samples, α filter; Update even samples, β filter and (b) Update odd samples, γ filter; Update even samples, δ filter.

图 7 列处理器结构.(a)更新奇数点 α 滤波,更新偶数点 β 滤波 (b)更新奇数点 γ 滤波,更新偶数点 δ 滤波

4.4 小波变换的多级分解

小波多级分解是利用有限状态机(FSM)实现的. 小波滤波器开始进入初始 IDLE 状态, 当前分解级数结束且小波总分解级数大于当前分解级数时即可进行下一级分解, 即从原图像数据或者 LL 子带中读取数据, 进入小波变换器, 依次进行变换处理. 在设计时, 我们将小波变换最大分解级数定为 5 级, 对于一般的图像这已足以满足需求.

4.5 通用性

对于 5/3 小波^[1],

$$Y(2n+1) = X_{\text{ext}}(2n+1) - \left\lfloor \frac{X_{\text{ext}}(2n) + X_{\text{ext}}(2n+2)}{2} \right\rfloor,$$

$$Y(2n) = X_{\text{ext}}(2n) + \left\lfloor \frac{Y(2n-1) + Y(2n+1) + 2}{4} \right\rfloor,$$

只需要两步提升算法, 因此仅仅利用 9/7 小波变换行、列处理器中的 α 和 β 滤波, 只是将处理器中的 α 、 β 滤波模块的系数选择为 5/3 的系数即可, 复用同样的硬件资源.

对于 9/7 和 5/3 的反小波, 由于提升算法的对称性, 其反变换的结构也对称于正变换. 对应于正变换行、列处理器的滤波顺序, 其反变换的滤波顺序是先经过列方向的滤波, 然后经过行方向的滤波. 在行、列处理内部, 滤波顺序依次是 δ , γ , β , α . 而且我们可以复用小波正变换的 δ , γ , β , α 四个滤波模块.

4.6 二维 DWT Verilog HDL 仿真

本文所提结构已成功地在 FPGA 上完成 Verilog HDL 硬件描述语言的 RTL 级仿真. 在 EP1S25 上实现 9/7 和 5/3 正反小波多级分解, 所用资源仅占总资源的 25%. 仿真用的数据是 24 位定点数, 仿真结果和 C 语言仿真结果完全相同. 结果表明了所提二维 DWT 结构的正确性. 如果采样时钟频率为 45MHz, 分解 3 级, 对 $512 \times 512 \times 8$ 的图像, 处理速度可以达到 250fps.

5 结 论

本文提出一种实现 JPEG2000 中的二维 DWT 的低功耗并行的 VLSI 结构. 该结构具有以下优点: ①复用行处理器, 行和列滤波同时进行, 一个时钟处理两个像素; ②对称扩展通过嵌入式电路实现, 且用流水线的设计方法优化二维 DWT 的并行结构; 使

得运算量减少, 功耗降低, 且加快了处理速度; ③行列滤波结构具有模块化, 可以通过硬件资源的复用实现 5/3 和 9/7 小波正反变换的多级小波分解.

参 考 文 献

- 1 Daniel T. Lee. 15444. 2000. ISO/IEC JTC 1/SC 29/WG 1 N1646R - 2000, JPEG2000 Part 1 Final Committee Draft Version 1.0
- 2 D. Taubman. High performance scalable image compression with EBCOT. IEEE Trans. Image Processing, 2000, 9(7): 1158 ~ 1170
- 3 C. Christopoulos, A. Skodras. The JPEG2000 still image coding system: An overview. IEEE Trans. Consumer Electronics, 2000, 46(4): 1103 ~ 1127
- 4 I. Daubechies, W. Sweldens. Factoring wavelet transforms into lifting schemes. J. Fourier Anal. Appl., 1998, 4(3): 247 ~ 269
- 5 W. Sweldens. The lifting scheme: A new philosophy in biorthogonal wavelet constructions. In: SPIE 2569. San Diego: SIPE Press, 1995. 68 ~ 79
- 6 M. Vishwanath, R. M. Owens, M. J. Irwin. VLSI architecture for the discrete wavelet transform. IEEE Trans. Circuit and Systems-II, 1995, 42(5): 305 ~ 316
- 7 G. Dillen, B. Georis. Combined line-based architecture for the 5-3 and 9-7 wavelet transform for JPEG2000. IEEE Trans. Circuits and Systems for Video Technology, 2003, 13(9): 944 ~ 950
- 8 K. Andra, C. Chakrabarti. A VLSI architecture for lifting-based forward and inverse wavelet transform. IEEE Trans. Signal Processing, 2002, 50(4): 966 ~ 977
- 9 C. Chrysafis, A. Ortega. Line based, reduced memory, wavelet image compression. IEEE Trans. Image Processing, 2000, 9(3): 378 ~ 389
- 10 C. J. Lian, K. F. Chen. Lifting based discrete wavelet transform architecture for JPEG2000. The IEEE Int'l Symposium on Circuits and Systems (ISCAS 2001), Geneva, Swiss, 2001
- 11 Lan Xuguang, Zheng Nanning, et al. High efficient and parallel VLSI architecture design for JPEG2000 of 2D discrete wavelet transform. Journal of Xi'an Jiaotong University, 2004, 38(2): 149 ~ 153 (in Chinese)
(兰旭光, 郑南宁, 等. JPEG2000 二维离散小波变换高效并行的 VLSI 结构设计. 西安交通大学学报, 2004, 38(2): 149 ~ 153)
- 12 M. Mallat. A theory for multiresolution signal decomposition: The wavelet representation. IEEE Trans. Pattern Anal. And Machine Intel, 1989, 11(7): 674 ~ 693
- 13 K. Sethm, S. Srinivasan. VLSI implementation of 2-D DWT/IDWT cores using 9/7-tap filter banks based on the non-expansive symmetric extension scheme. The 15th Int'l Conf. VLSI Design, Dargalore, 2002



Lan Xuguang, born in 1976. Received his BS degree from the College of Automobile Engineering, Shandong University of Science and Technology in 1999, and his MS degree from the College of Transportation

Engineering, Kunming University of Science and Technology in 2002. Now he is a Ph. D. candidate of the Institute of Artificial Intelligence and Robotics, Xi'an Jiaotong University. His main research interests include image/video processing and VLSI design.

兰旭光,1976年生,博士研究生,主要研究方向为模式识别与智能系统、小波变换、视频压缩、数字集成电路设计和信号处理。



Zheng Nanning, born in 1952. Received his ME degree in information and control engineering from Xi'an Jiaotong University, Xi'an, China in 1981, and his Ph. D. degree in electrical engineering from Keio

University, Japan, in 1985. He is currently a professor and the director of the Institute of Artificial Intelligence and Robotics at Xi'an Jiaotong University. His main research interests include computer vision, pattern recognition, computational intelligence, image processing, and hardware implementation of intelligent systems. He served as the general chair for the International Symposium on Information Theory and Its Applications in 2002, and the general co-chair for the International Symposium on Nonlinear Theory and Its Applications in 2002. Since 2000, he has been the Chinese representative on the Governing Board of the International Association for Pattern Recognition. He presently serves as executive editor of Chinese Science Bulletin. He became a member of the Chinese Academy of Engineering in 1999. He is a senior member of IEEE.

郑南宁,1952年生,中国工程院院士,教授,主要研究方向为计算机视觉与模式识别、数字视频与信号处理等。



Xue Jianru, born in 1971. Received his MS degree and Ph. D. degree in pattern recognition and intelligence systems from the Artificial Intelligence and Robotics Institute of Xi'an Jiaotong University in 1999, and

2003, respectively. His recent research interests include computer vision.

薛建儒,1971年生,讲师,工学博士,主要研究方向为计算机视觉、统计模式识别、图像视频编码等。



Wang Fei, born in 1975. Received his BS in electronics engineering from the Northwest University and his MS degree in information and communication system from the Xi'an Institute of Optics and Precision Mechanics,

in 1998, and 2001, respectively. He joined the Xi'an Jiaotong University in 2002, as a Ph. D. candidate. His main research interests include image processing, and image and video retrieval.

王飞,1975年生,助教,博士研究生,主要研究方向为数字图像处理、图像与视频检索、机器学习以及数据库管理系统。



Liu Yuehu, born in 1962. Received his B. E. and M. E. degrees in computer science & engineering at Xi'an Jiaotong University, China in 1984 and 1989, respectively, and his Ph. D. degree in electrical engineering

from Keio University, Japan, in 2000. He is currently a professor and the vice director of the Institute of artificial intelligence and robotics at Xi'an Jiaotong University. His research interests include computer vision, pattern recognition, computational intelligence, image processing.

刘跃虎,1962年生,教授,博士,主要研究方向为计算机视觉、模式识别、计算智能、图像处理等。

Research Background

Image and video's storage and transmission are becoming more and more important in serving people in the digital world. For more storage and high quality transmission, JPEG2000 is the newest still image compression standard. Compared with JPEG, discrete wavelet transform (DWT) is used in JPEG2000 to support many characteristics such as progressive transmissions by quality and resolution, and ROI encoding. To implement JPEG2000 standard in chip and generalize the applications, the research group of the Institute of Artificial Intelligence and Robotics at Xi'an Jiaotong University is sponsored by the National High-Tech Program 863 Foundation No. 2002AA103011, the Natural Science Foundation No. 60021302, 60205001, and 60405004, and "211" Constructed Program of Processing Technology about Intelligence Information and Computing Method about Information Science at Xi'an Jiaotong University, Xi'an, China.