

前 言

处理器芯片是电子信息产业的基石,应用驱动逐渐成为后摩尔时代处理器芯片发展的一大趋势。大量直接面向应用领域的专用处理器芯片定制需求将芯片设计推向更高抽象层次,甚至应用软件端。而依赖于现有电子设计自动化(EDA)技术,设计与制造一款处理器芯片涉及到多个环节,包括体系结构设计、外围IP模块选型、前端逻辑设计、可测试性设计、后端物理设计、流片与封装测试等,每个环节都需要相当多的资金、人力与时间投入。发展处理器芯片敏捷设计方法与关键技术对于解决芯片设计的门槛高、投入大、周期长,以及工具链被国际EDA巨头长期垄断等难题具有重大意义。

为进一步推动我国学者在处理器芯片敏捷设计领域的研究,及时报道我国学者在处理器芯片敏捷设计方面的最新研究成果,我们组织了本期“处理器芯片敏捷设计研究”专题,旨在征集促进处理器芯片敏捷设计的方法理论、EDA关键技术、典型处理器芯片设计应用案例等创新性研究。本专题2023年1月底征稿结束,经过30余人次专家的两轮评审,最终收录了4篇论文,其内容涵盖了开源处理器敏捷设计平台、芯粒集成深度学习芯片的任务部署、处理器内核代码敏捷开发和寄存器传输级仿真效率优化等方面的最新研究进展,希望能够为同行学者带来帮助和启发。

为适应基于开放指令集RISC-V的开源处理器的敏捷设计需求,齐乐等人的论文“基于SoC-FPGA的RISC-V处理器软硬件系统级平台”,构建了一套RISC-V软核与ARM硬核(SoC侧)之间的信息交互机制,以及灵活可配置的云上自动化开发框架。通过共享内存和虚拟核间中断等方法,可使目标RISC-V处理器灵活使用平台丰富的I/O外设资源,并充分利用硬核ARM处理器算力协同运行复杂软件系统,实现了目标软硬件设计的快速部署与系统级原型的高效评测。

芯粒集成逐渐成为不同场景下敏捷定制深度学习芯片的高可扩展性的解决方案,为了解决深度学习集成芯片的任务部署问题,王梦迪等人的论文“Puzzle:面向深度学习集成芯片的可扩展框架”,探讨了从处理任务输入到运行时管理芯片资源的完整流程,可自适应于不同的工作负载和硬件资源配置,生成高效的任务调度和资源分配方案,并降低冗余访存和芯粒间通信开销。

数字信号处理器(DSP)通常采用超长指令字(VLIW)和单指令多数据(SIMD)的架构来提升整体计算性能,然而,其内核算子的开发需要大量的时间和人力来充分释放硬件的性能潜力。针对国防科技大学自主研制的高性能通用数字信号处理器FT-Matrix面临的上述问题,赵宵磊等人的论文“面向飞腾迈创处理器的内核代码自动生成框架”,根据硬件的内存层次结构和内核的数据布局自动搜索最优循环分块参数,提供了类汇编的中间表示,探索了更多的指令级并行性,实现了高效内核代码开发的敏捷设计。

在寄存器传输级(RTL)准确而快速地性能评估是高性能处理器设计决策和参数选择的基础,在处理器RTL仿真中预热过程的高占比严重影响了仿真效率。周耀阳等人的论文“HyWarm:针对处理器RTL仿真的自适应混合预热方法”通过微结构模拟器分析负载预热需

求,对于缓存预热需求较大的负载,通过总线协议进行 RTL 缓存的功能预热,有效加速了预热过程,提高了性能评估的仿真效率.

后摩尔时代处理器能效提升越来越依赖于微体系统结构创新和软硬件协同的跨层优化,亟需支持处理器芯片敏捷设计的开发框架和工具平台,希望本专题能够抛砖引玉,促进我国相关研究的进一步发展.由于专题征集时间和篇幅有限,无法全面覆盖处理器芯片敏捷设计领域的近期研究进展,不足之处敬请各位学者谅解和批评指正.衷心感谢广大作者对本专题组织者的信任和支持,感谢审稿专家对于稿件的认真审查以及中肯的意见和建议!特别感谢本刊编委会和编辑部对本专题的支持,感谢编辑部的辛勤工作!

李华伟(中国科学院计算技术研究所)

包云岗(中国科学院计算技术研究所)

梁云(北京大学)

2023年5月