

一种 VLSI 高层综合低功耗设计方案及实现

温东新 杨孝宗 王玲

(哈尔滨工业大学计算机科学与技术学院 哈尔滨 150001)

(wdongxin@hit.edu.cn)

A High Level Synthesis Scheme and Its Realization for Low Power Design in VLSI

Wen Dongxin, Yang Xiaozong, and Wang Ling

(School of Computer Science and Technology, Harbin Institute of Technology, Harbin 150001)

Abstract Power consumption is one of the most important problems used in electronic systems today. High level synthesis can quickly trade off different objectives for complex designs during architecture optimization. A design at high level synthesis in VLSI includes two important tasks: scheduling and interconnection. In order to lower power in design, the two aspects can be considered simultaneously. In this paper, a high level synthesis scheme based on multiple voltages is proposed for low power design in VLSI under the timing and the resource constraints. In this scheme both scheduling and interconnection are considered to reduce power. First, for a given control and data flow graph, scheduling is done in Gain. Then the buses are allocated by interconnection consumption. The register transfer level graph can be optimized by the scheme in the end. In Gain scheduling, the priority function includes the power gain, the mobility, and the computation density of an operation which are three main factors in VLSI design. In interconnection, the transition activities on the signal lines and the coupling capacitances of the lines are considered simultaneously based on RS model. This scheme is implemented in CDFG Toolkits. Experiments with a number of DSP benchmarks show that the proposed scheme achieves an effective energy reduction.

Key words low power; high level synthesis; multiple voltages; scheduling; interconnection

摘要 提出 VLSI 高层综合设计方案, 该方案基于多电压在时间及资源约束条件下, 综合考虑了调度及互连, 从调度互连两个角度达到低功耗的目的. 该方案提出了基于 Gain 大小搜索的调度, 将功耗增益、灵活度和行为执行密度因素作为折中函数, 考虑操作的属性更加全面. 在互连中基于分布式的 RS 互连模型得出互连单元在执行时段里的动态功耗, 同时考虑单根总线上的翻转和邻线的耦合. 该方案在 CDFG 工具包中实现并证明了它的有效性.

关键词 低功耗; 高层综合; 多级电压; 调度; 互连

中图法分类号 TP302.2

当工艺发展到深亚微米时, 功耗对电路的影响使之成为继面积、延时后的另一令人关注的目标, 因此高层综合中的低功耗技术已经引起广泛重视. 在

VLSI 高层次综合中首先要把行为级硬件描述语言的描述转化为方便处理的控制/数据流图(control and data flow graph, CDFG), 然后通过对 CDFG 的

一系列处理,包括操作调度、资源分配、运算器绑定、连线网络和控制生成等,最后得到 RTL 级电路,如图 1 所示. 高层综合设计中的操作调度是指把行为描述分成具体的时间段来完成的过程,资源分配是指每个时钟周期分派芯片上资源类型和数量的过程,绑定是指在一定的时钟周期内将操作任务和存储通道分配给合适的硬件单元的过程. 在这 3 个任务中,操作调度是最重要的任务,它决定了数字系统处理速度与硬件代价耗费之间的折中.

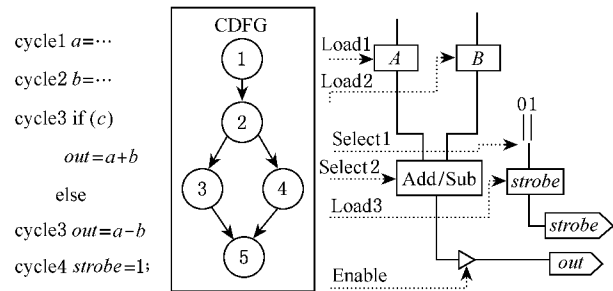


Fig.1 High level synthesis example.

图 1 高层综合设计举例

目前高层综合设计已成为 VLSI 设计的重要研究方向. 文献 [1] 针对高层次综合中时间约束下的调度问题,提出了对功能单元的两种下限估算算法:单位长度调度法和最大网络流法. 文献 [2] 针对高层次综合中的多电压调度问题的不同的前提:功能单元电压的静态配置和动态配置对操作的调度和电压分配产生不同的影响,提出了整数线性规划描述.

同时,我们也应该认识到任务之间的交互性和彼此独立的裁决应服从于整体设计的重要性,当今高层综合设计中将各阶段任务综合考虑成为研究的主流^[3].

众所周知充放电功耗在 CMOS 电路中起着决定作用,其表达式为

$$P_{sw, cap.} = \frac{1}{2} C_L \times V_{dd}^2 \times N \times f, \quad (1)$$

$P_{sw, cap.}$ 是充放电功耗,时钟频率为 f , N 是每个时钟周期内 CMOS 反相器输出信号的平均翻转率,又称为信号活性, C_L 为负载电容. 由于电源电压与功耗的二次方关系,可以将减小电源电压作为降低功耗最有效的方法. 但同时带来电路延迟的增加,影响电路的性能,因此引入并行结构或流水结构解决了上述问题. 基于资源约束、时间约束及时间和资源约束 3 类调度算法,文献 [4-9] 提出了多种多电压调度方法. 本文提出了一种基于 Gain 的多电压调度方法,其优点在于同时考虑了操作行为节点的

灵活性 (mobility)、功耗与延迟比和行为执行密度,决策调度结果的因素更加全面.

大多数前期工作是减小数据通路中的功耗忽略了互连方面的问题. 文献 [10] 中提到互连的功耗占电路总功耗的相当大的比例. 这说明互连部分的功耗是值得研究的又一新领域. 文献 [11] 提出一种综合考虑集成电路电学性能指标以及热效应影响的布局优化方法,很好地改善了芯片表面的热分配情况. 文献 [12] 于高层综合设计中考虑物理层设计信息,在 CDFG 中描述各边的转换用于优化模块间的数据传输功耗,还可以通过保持输入行为的位置和均匀度来优化总线结构. 文献 [13] 通过绑定数据总线传输数据优化总线功耗. 在文献 [14] 中考虑了总线的耦合电容,分析了因信号的转换和线间的耦合电容引起的总线功耗散失,并由分布式的 RS 互连模型得出功耗公式.

目前,我们已在基于多电压降低功耗研究方面做了一些工作^[15-16],本文又做了进一步深入研究,在多电压调度后,同时考虑了互连总线的功耗. 互连总线上的功耗源主要包括两部分^[14]: 1) 单根总线上信号的翻转 2) 相邻线的耦合电容上信号的翻转. 并提出的一种基于多电压调度的综合方案,方案如图 2 所示:

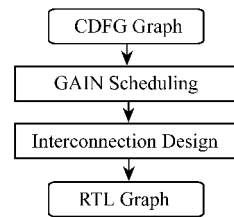


Fig.2 High level synthesis scheme.

图 2 高层综合设计方案

1 基于 Gain 大小搜索的调度算法

在多电压调度过程中,首先要解决的问题是如何分配操作的工作电压,即如何按照一定的顺序分配工作电压使最后功耗最小. 众所周知,节点的功耗增益、灵活度和行为执行密度因素都是在搜索过程中需要考虑的因素^[17]. 如果在搜索过程中,按照先后次序独立地考虑这些因素,虽然会有较好的调度效果,但是必然增加算法的复杂度,于是找到一种比较好的折中关系势在必行. 本算法正是充分利用了上述因素的折中函数 Gain 作为搜索优先函数.

$$Gain(O_i) = aP(O_i) + bM(O_i) + cD(O_i), \quad (2)$$

$$P(O_i) = (P(V_{cur}) - P(V_{lower})) / (D(V_{lower}) - D(V_{cur})), \quad (3)$$

$$D(O_i) = (C_{total} - M(O_i)) / C_{total}, \quad (4)$$

其中 $P(O_i)$ 、 $M(O_i)$ 和 $D(O_i)$ 分别表示操作的功耗增益、灵活度和执行密度。 V_{cur} 是操作 O_i 的当前电压, V_{lower} 操作 O_i 的低一级电压。 $M(O_i)$ 是操作 O_i 的 ALAP 和 ASAP 调度得到的控制步差, 系数 a, b, c 由设计者的设计侧重点决定, 其值的大小关系表明设计时考虑该因素优先度的关系。 在实验中基于基准实验电路设定的 $a = 10, b = 1, c = 1$ 是将功耗增益、灵活度和执行密度的优先度比定为 10:1:1。 若 a, b, c 的值不同会产生不同的优化结果, 但不影响方案的有效性。

由于多级电压在数据通路中要增加级间转换器, 所以目标函数定义如式(5), m 与 n 分别为功能模块和级间转换器的数目。

$$\sum_{L=1}^n p_{\text{转换器}(L)} + \sum_{R=1}^m p_{\text{功能模块}(R)}. \quad (5)$$

算法描述:

Step1. 初始条件下分配每个操作以最高的电压, 设定时间和资源约束值以及算法迭代次数;

Step2. 在所有的操作中找到 Gain 最高的操作(如果存在多个相同的最大值, 任意选择一个即可), 降低该操作电压后进行 list-based 调度^[18];

Step3. 如果 list-based 调度结果满足时间约束, 重新计算每个节点的 Gain, 转向 Step4; 如果不满足时间约束, 则将操作恢复到改变前的电压值, 并将该操作 Gain 标记为 0, 转向 Step4;

Step4. 如果算法迭代次数超出要求, 算法结束, 如果没有, 则转 Step2。

在图 3 中的 CDFG 图经该算法调度后生成一系列工作在多级电压的操作序列。

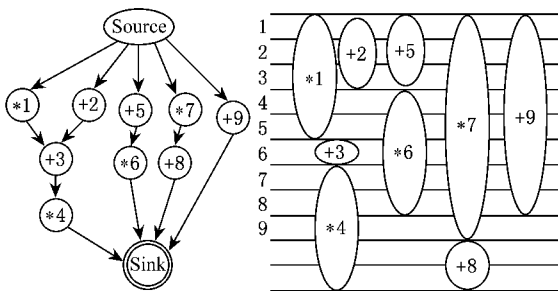


Fig.3 Control and data flow graph and its scheduling results.

图 3 CDFG 图与调度后的结果图

2 操作模块的互连

由文献[14]中分布式的 RS 互连模型得出互连单元在 T 个时钟步的执行时段里的动态功耗, 可由以下公式表示,

$$P_{\text{dyn}} = (X_T \times (C_s + C_l) + Y_T \times C_c) \times V_{\text{dd}}^2, \quad (6)$$

其中 C_s 和 C_l 是自身电容, C_c 是耦合电容, V_{dd} 是电源电压。 X_T 和 Y_T 分别是在 T 个时钟步里的自身电容翻转活动次数和耦合电容翻转活动次数。 X_T 和 Y_T 可由以下方法计算:

$$X_T(i, j) = \sum_{t=1}^T p_{0,1}(i, j, t). \quad (7)$$

自身电容 C_s 和 C_l 的转变活动与互连单元出现的电压上升沿次数成正比。 用 $p_{r,s}(i, j, t)$ 表示在时钟步 t 内, 总线 i 中的位线 j 的信号值由状态 $r \in \{0, 1\}$ 变为状态 $s \in \{0, 1\}$ 的几率。 既然电容 C_s 和 C_l 只有在出现从低到高的信号翻转时才会被充满, 那么, 在 T 个执行时钟步中, 总线 i 位线 j 的自身翻转活动总数 $X_T(i, j)$ 可表示成:

$$X_T(i, j) = \sum_{t=1}^T p_{0,1}(i, j, t). \quad (8)$$

那么 $X_T(i) = \sum_{j=0}^{W-1} X_T(i, j)$ 即是总线 i 的所有位线的翻转活动总数。 我们用 B 表示总线集。 于是, 在总线集中所有总线在 T 个时钟步内的所有翻转活动总数为 X_T 。 计算公式为

$$X_T = \sum_{\forall i \in B} X_T(i). \quad (9)$$

另一方面, 耦合翻转活动总数 Y_T 的计算要基于物理上邻接位线的翻转关系。 文献[14]给出了 4 种可能的翻转形式:

- 1) 两根线中均没有信号翻转。 由此, 在 C_c 上, 没有动态充电耗散;
 - 2) 仅有其中的一个信号使 C_c 充电到 $\alpha C_c V_{\text{dd}}$ (α 是常数因子);
 - 3) 两个信号都做同样的翻转(均从低到高或者从高到低), 这样导致 C_c 没有被充电;
 - 4) 一个信号从低翻转至高, 而另一个信号从高翻转至低, 使得 C_c 充电到 $\beta C_c V_{\text{dd}}$ (β 为常数因子)
- 4) 中的有效电容要比 2) 中的大, β 值通常是 α 值的两倍。(可取 $\beta = 2, \alpha = 1$)。 用 $p_{pq,rs}(i, j_1, j_2, t)$ 表示总线 i 中, 位线 j_1 在 $t-1$ 时钟步状态为 p , 在

t 时钟步状态为 r , 而位线 j_2 在 $t-1$ 时钟步状态为 q , 在 t 时钟步状态为 s 的几率 ($p, q, r, s \in \{0, 1\}$). 那么 T 个时钟步内, 总线 i 中的一对位线 j_1 和 j_2 的耦合翻转活动总数为 $Y_T(i, j_1, j_2)$, 表示如下:

$$Y_T(i, j_1, j_2) = \sum_{t=1}^T (\alpha \times (\sum_{s=0,1} (p_{ss,01}(i, j_1, j_2, t) + p_{ss,10}(i, j_1, j_2, t))) + \beta \times (\sum_{p=0,1} (p_{01,10}(i, j_1, j_2, t) + p_{10,01}(i, j_1, j_2, t)))) \quad (10)$$

则 B 中所有总线在 T 个时钟步内总的耦合翻转活动总数为,

$$Y_T = \sum_{Vi \in B} \sum_{j=1}^{w-2} Y_T(i, j, j+1), \quad (11)$$

w 是位线数目. 互连部分算法设计描述如图 4 所示:

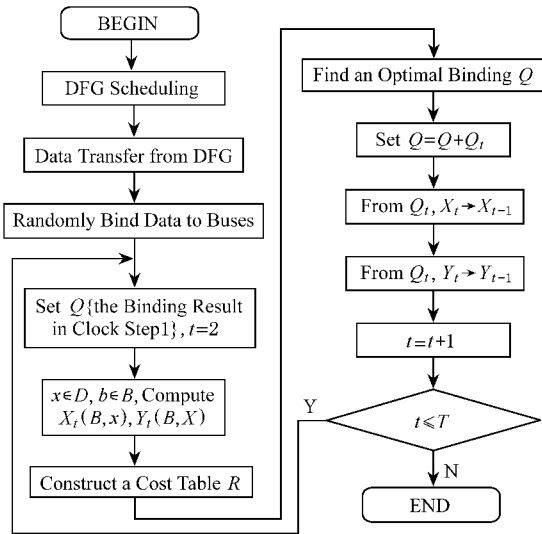
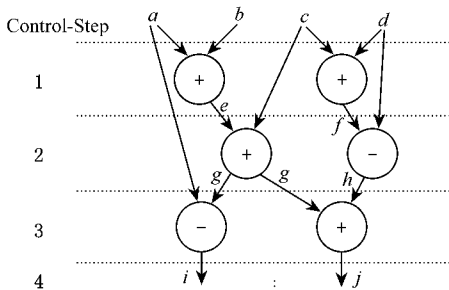


Fig. 4 Interconnection algorithm flow.

图 4 互连算法流程图

图 5(a) 中是一个调度后的 DFG 图, 在每个控制步骤中的数据传输情况如图 5(b), 在进行数据总线的绑定时要尽量减小数据传输的功耗.



(a)

Control Step	Data Transfers
1	a, b, c, d
2	c, d, e, f
3	a, g, h

(b)

Fig. 5 Data flow graph and data transfer after scheduling.

图 5 调度后的 DFG 图及数据传输

由其代价表 (表 1) 及互连算法选定代价最小的绑定结果: a 绑定于 B_2 , g 绑定于 B_3 , h 绑定于 B_1 (图 6).

Table 1 Data Buses Binding Cost List

表 1 数据总线绑定代价表

Data	B_1	B_2	B_3	B_4
A	156	137	58	184
G	145	154	46	178
H	155	147	48	182

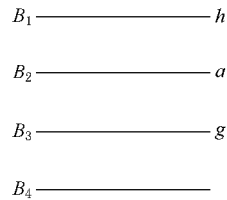


Fig. 6 Optimal interconnection results.

图 6 互连部分的优化结果

可见, 在 VLSI 高层综合设计中不同的互连方法会产生不同的功耗, 是值得研究的新领域.

3 综合方案的实验结果

实验中设定操作节点的初始电压为 5V, 可用电压级别为 5.0V, 3.6V, 2.4V 和 1.5V, 其中设定参数 $a = 10, b = 1, c = 1$, 时间约束为最高电压下 ASAP 调度时间的 4 倍, 资源约束为 2, 级间转换器的功耗数据参考文献 [4]. 实验在 CDFG 工具包 [18] 集成环境中用 VC++ 实现. 实验结果如表 2 所示. 其中 T_c 代表时间约束值, R_c 代表资源约束值, E_{fun}^5 代表当所有的功能单元运行在最高电压 5V 时随机绑定所消耗的能量, E_{fun} 代表采用综合方案所消耗的能量, $Reduce$ 为功耗降低的百分率. 从数据中可以计算出平均功耗降低百分比为 64.98%.

Table 2 The Experimental Results of Benchmarks

表 2 基准电路实验结果

No	Benchmark (DFG)	T_c	R_c	E_{fm}^s (PJ) (Single Voltage Randomly Binding)	E_{fm} (PJ) (The Synthesis Scheme)	Reduce (%)
1	biquad	44	(2+ ,2 *)	18236	4995.3	72.61
2	dct	56	(2+ ,2 *)	43132	22768.2	47.21
3	ellipf	104	(2+ ,2 *)	23100	4436.2	80.80
4	fir7	44	(2+ ,2 *)	18236	4978.7	72.70
5	fir11	60	(2+ ,2 *)	28724	8428.1	70.66
6	lir7	88	(2+ ,2 *)	39212	10080.3	74.29
7	lattice	84	(2+ ,2 *)	23598	4331.9	81.64
8	nc	100	(2+ ,2 *)	82960	44771.4	46.03
9	voltterra	68	(2+ ,2 *)	43748	18842.2	56.93
10	wavelet	72	(2+ ,2 *)	73180	46086.2	37.02
11	wdf7	108	(2+ ,2 *)	49464	12427.7	74.88

4 结 论

在高层综合设计研究中提出了综合考虑调度及互连的研究方案,从调度互连两个方面达到低功耗的目的.提出的基于 Gain 大小搜索的调度,将功耗增益、灵活度和行为执行密度因素作为优先函数,考虑操作的属性更加全面,在互连中同时考虑单根总线上的翻转和邻线的耦合.该方案在 CDFG 工具包中使用 VC 编程实现,实验结果证明该方案行之有效,研究工作将继续在高层综合的其他方面展开.

参 考 文 献

- [1] Xu Junjuan, Cheng Xu. Lower-bound estimation of functional units in time-constrained scheduling[J]. Journal of Computer-Aided Design & Computer Graphics, 2006, 18(4): 532-537 (in Chinese)
(许俊娟,程旭.时间约束调度中功能单元的下限估算[J].计算机辅助设计及图形学学报,2006,18(4):532-537)
- [2] Xu Junjuan, Cheng Xu. Comparison of multi-voltage scheduling under two different assumptions[J]. Journal of Computer-Aided Design & Computer Graphics, 2006, 18(4): 545-550 (in Chinese)
(许俊娟,程旭.两种不同前提下的多电压调度对比[J].计算机辅助设计及图形学学报,2006,18(4):545-550)
- [3] A Dasgupta, R Karri. Simultaneous scheduling and binding for power minimization during microarchitecture synthesis [C]. ISLPED, Dana Point, CA, 1995
- [4] Jui-Ming Chang, Massoud Pedram. Energy minimization using multiple supply voltages [J]. IEEE Trans on VLSI, 1997, 5(4): 157-162
- [5] W Shiuie, C Chakrabarti. Low power scheduling with resources operating at multiple voltages [J]. IEEE Trans on Circuits System II, 2000, 47(6): 536-543
- [6] Ashok Kumar, Magdy Bayoumi. A multiple voltage-based scheduling methodology for low power in the high level synthesis [C]. International Symp on Circuits and Systems, 1999, 1: 371-374
- [7] M Sarrafzadeh, S Raje. Scheduling with multiple voltages under resource constraints [C]. ISCAS '99, Orlando, FL, 1999
- [8] A Manzak, C Chakrabarti. A lower power scheduling scheme with resources operating at multiple voltages [J]. IEEE Trans on VLSI, 2002, 10(1): 6-14
- [9] Ashok Kumar, Magdy Bayoumi, Mohamed Elgamel. A methodology for low power scheduling with resources operating at multiple voltages [J]. The VLSI Journal, 2004, 37(1): 29-62
- [10] Lin Zhong, Niraj K Jha. Interconnect-aware high-level synthesis for low power [C]. ICCAD 2002, San Jose, CA, 2002
- [11] Wang Nailong, Dai Hongyu, Zhou Runde. VLSI thermal placement optimization using simulated annealing [J]. Chinese Journal of Semi-Conductors, 2003, 24(4): 427-432 (in Chinese)
(王乃龙,戴宏宇,周润德.用模拟退火算法实现集成电路热布局优化[J].半导体学报,2003,24(4):427-432)
- [12] P R Panda, N D Dutt. Low-power memory mapping through reducing address bus activity [J]. IEEE Trans on VLIS Systems, 1999, 7(3): 309-320
- [13] S Hong, T Kim. Bus optimization for low power data path synthesis based on network flow method [C]. ICCAD, San Jose, CA, 2001

- [14] Chun-Gi Lyub. Coupling-aware high-level interconnect synthesis for low power[C]. Int'l Conf on Computer-Aided Design , San Jose , CA , 2002
- [15] Ling Wang , Yingtao Jiang . A scheme for low power designs with multiple voltages under timing constraints [C]. NASA 11th VLSI Conf , Idaho , USA , 2003
- [16] Wang Ling , Wen Dongxin , Yang Xiaozong . Synthesis scheme for low power designs under timing constraints [J]. Chinese Journal of Semi-Conductors , 2005 , 26 : 287-293 (in Chinese) (王玲 , 温东新 , 杨孝宗 . 时间约束下低功耗的综合方案 [J]. 半导体学报 , 2005 , 26 : 287-293)
- [17] Yann-RueLin . Scheduling techniques for variable voltage low power designs [J]. ACM Trans on Design Automation of Electronic System , 1997 , 2(2) : 81-97
- [18] Jinhwan Jeon , Yongjin Ahn , Kiyong Choi . CDFG Toolkit User ' s Guide . School of Electronic Engineering , Seoul National University , 2002



Wen Dongxin , born in 1971. Ph. D. candidate in computer architecture at HIT. She received her B. S. degree in electronic technology from Harbin Normal University in 1992 and M. S. degree in computer science from Harbin Institute of Technology , in 2003. Her main research interests include VLSI design including high-level synthesis and low-power system design.
温东新 , 1971 年生 , 博士研究生 , 主要研究方向为计算机体系结构、高层综合设计.



Yang Xiaozong , born in 1939. Professor and Ph. D. supervisor. His main research interests include computer architecture , fault tolerant computing , fault injection , and mobile computing.

杨孝宗 , 1939 年生 , 教授 , 博士生导师 , 主要研究方向为计算机体系结构、容错技术.



Wang Ling , born in 1973. Associate professor. Received her Ph.D. degree in electrical engineering from University of Nevada , Las Vegas , USA , in 2003. Her main research interests include high-level synthesis , low-power system design and embedded systems.

王 玲 , 1973 年生 , 博士 , 副教授 , 主要研究方向为高层综合设计、嵌入式系统.

Research Background

With today ' s increasingly large and complex digital integrated circuit (IC) and system-on-chip designs , power dissipation has emerged as a primary design consideration. Reduction of power consumption in VLSI designs can be achieved at various levels of the design hierarchy , ranging from processing technology , circuit , logic , architectural and algorithmic (behavioral) levels , up to system levels. It has also been long recognized that the most dramatic power saving is achievable at the algorithm and architecture levels , where computations are normally described using data/control flow graph. Thus , in this paper , a multiple supply voltage IC is synthesized at the behavior level. A scheme of low power design in VLSI high level synthesis is also provided in this paper. Our synthesis scheme considers both scheduling and interconnections to reduce power consumption.